

SIGNAL TRANSMITTER

Patent Number: JP10293635
Publication date: 1998-11-04
Inventor(s): TAKEKUMA SHUNJI; YAMAGIWA AKIRA; MORIYAMA TAKASHI; KURIHARA RYOICHI
Applicant(s): HITACHI LTD
Requested Patent: ■ JP10293635
Application Number: JP19970148942 19970606
Priority Number(s):
IPC Classification: G06F3/00; G06F1/12; G11C11/407; G11C11/401; H04L25/02
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce failures of transferring a signal which is caused by delay of a signal propagation time between circuits by distributing a 1st wiring from a clock output circuit, serially connecting it to plural 2nd circuits, distributing a 2nd wiring from a 1st circuit and connecting it in series to plural memory modules.
SOLUTION: A memory controller 32 outputs data for write and a clock signal from output circuits 12 and 11 respectively. An outputted clock signal transmits through a clock wiring, transmits to each connector in order of connectors 34A, 34C,...34E, 34F,...34D and 34B and returns to the controller 32 again. Because write data is also connected to the connectors in the order that is the same as the clock wiring order, it transmits to each connector in the same order. An SDRAM of a memory module that is connected to an optional connector 34 synchronizes with a received clock signal in an input circuit and fetches data from the input circuit 2.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-293635

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl. ⁶	識別記号	F I	
G 0 6 F 3/00		G 0 6 F 3/00	T
			K
1/12		H 0 4 L 25/02	Z
G 1 1 C 11/407		G 0 6 F 1/04	3 4 0 D
11/401		G 1 1 C 11/34	3 6 2 S

審査請求 未請求 請求項の数38 O L (全 27 頁) 最終頁に続く

(21) 出願番号	特願平9-148942	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成9年(1997)6月6日	(72) 発明者	武隈 俊次 神奈川県海老名市下今泉810番地 株式会 社日立製作所オフィスシステム事業部内
(31) 優先権主張番号	特願平8-145431	(72) 発明者	山際 明 神奈川県海老名市下今泉810番地 株式会 社日立製作所オフィスシステム事業部内
(32) 優先日	平8(1996)6月7日	(72) 発明者	森山 隆志 神奈川県海老名市下今泉810番地 株式会 社日立製作所オフィスシステム事業部内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 小川 勝男
(31) 優先権主張番号	特願平9-37390		
(32) 優先日	平9(1997)2月21日		
(33) 優先権主張国	日本 (J P)		

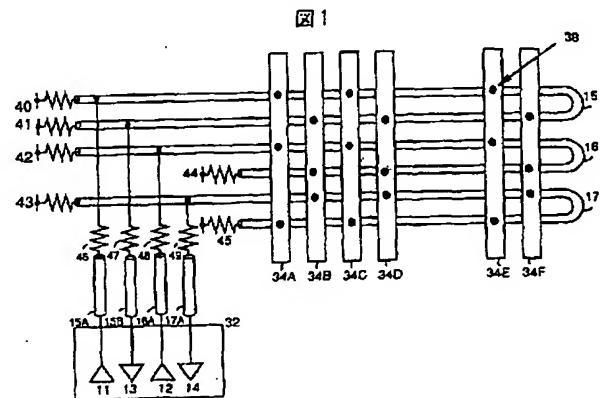
最終頁に続く

(54) 【発明の名称】 信号伝送装置

(57) 【要約】

【課題】 メモリシステムにおいて高速動作を行おうとすると、メモリモジュールの位置による伝搬時間の差によって、すべてのメモリモジュールのセットアップ時間、ホールド時間を確保することが難しくなる。

【解決手段】 メモリシステムにおいてメモリコントローラからクロック信号とデータ信号を出力し、これらの信号の伝搬時間を揃えることにより、各メモリモジュールのセットアップ時間、ホールド時間を確保し、高速信号転送を可能にする。メモリコントローラ側でデータを受信するときは、一旦メモリモジュールへ出力したクロック信号を受信し、そのタイミングに従ってデータを取り込む。メモリコントローラがデータを受け取るためのタイミング信号をデータを出力するメモリモジュールが出す構成とすることもできる。



1

【特許請求の範囲】

【請求項1】第1の信号を出力する第1の出力回路を備えた第1の回路ブロックと、該第1の信号を受信する第1の受信回路を備えた複数の第2の回路ブロックとが、配線で接続された信号伝送装置において、前記第1の回路ブロックは、第2の信号を出力する第2の出力回路を備え、

前記第2の回路ブロックは、前記第2の信号を受信する第2の受信回路を備え、前記第1の受信回路は前記第2の信号に同期して前記第1の信号をラッチすること特徴とする信号伝送装置。

【請求項2】前記配線は、前記第1の信号を伝搬する第1の配線と、前記第2の信号を伝搬する第2の配線とを含み、前記第1及び第2の配線を、それぞれ第1の回路ブロックから最遠の第2の回路の以遠の位置で折り返してレイアウトし、

前記複数の第2の回路ブロックの一部を前記第1の回路ブロックから折り返し位置までの配線上で接続し、残りの前記第2の回路ブロックを前記折り返し位置より先の配線上で接続したことを特徴とする請求項1記載の信号伝送装置。

【請求項3】請求項2記載の信号伝送装置において、前記第1の配線及び前記第2の配線をに終端抵抗を備えたことを特徴とする信号伝送装置。

【請求項4】請求項3記載の信号伝送装置において、前記第1の出力回路と前記第1の配線との間に第1の信号を伝えるための第3の配線があり、さらに前記第2の出力回路と前記第2の配線との間に第2の信号を伝えるための第4の配線を備え、

前記第1の配線と前記第3の配線との間に第1の抵抗があり、前記第2の配線と前記第4の配線との間に第2の抵抗を備えたことを特徴とした信号伝送装置。

【請求項5】請求項4記載の信号伝送装置において、第1の抵抗の抵抗値が、第3の配線のインピーダンスの値から第1の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあり、また第2の抵抗の抵抗値が、第4の配線のインピーダンスの値から第2の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあることを特徴とした信号伝送装置。

【請求項6】第1の信号を出力する第1の出力回路と、第2の信号を受信する第1の受信回路とを備えた第1の回路ブロックと、

前記第1の信号を受信する第2の受信回路と、前記第2の信号を出力する第2の出力回路を備えた複数の第2の回路ブロックとが、配線で接続された信号伝送装置において、前記第1の回路ブロックは、第3の信号を出力する第3の出力回路と、

該第3の信号を受信する第3の受信回路とを有し、前記第1の受信回路は、前記第3の受信回路が受信する前記第3の信号に同期して前記第2の信号をラッチし、

2

前記第2の回路ブロックは、前記第3の信号を受信する第4の受信回路を有し、

前記第2の受信回路は、前記第4の受信回路が受信する前記第3の信号に同期して前記第1の信号をラッチし、前記第2の出力回路は、前記第4の受信回路が受信する前記第3の信号に同期して前記第2の信号を出力することを特徴とする信号伝送装置。

【請求項7】前記配線は、前記第1の信号を伝搬する第1の配線と、前記第2の信号を伝搬する第2の配線と、前記第3の信号を伝搬する第3の配線とを含み、

前記第1、第2及び第3の配線を、それぞれ第1の回路ブロックから最遠の第2の回路以遠の位置で折り返してレイアウトし、

前記第1及び第3の配線と、前記複数の第2の回路ブロックの一部を前記第1の回路ブロックから折り返し位置までの配線上で接続し、残りの前記第2の回路ブロックを前記折り返し位置より先の配線上で接続し、

前記第2の配線と前記第2の回路ブロックとの接続を、前記第1の配線の折り返し位置までに接続された前記一部の第2の回路ブロックについては、前記第2の配線の折り返し位置より先の配線上で接続し、残りの前記第2の回路ブロックについては、前記第2の配線の折り返し位置までの配線上で接続し、

前記第3の受信回路は、前記第3の配線を介して前記第3の信号を受信することを特徴とする請求項6記載の信号伝送装置。

【請求項8】前記第1、第2及び第3の配線は終端抵抗を備えることを特徴とする請求項7記載の信号伝送装置。

【請求項9】前記第1の出力回路と前記第1の配線との間に前記第1の信号を伝えるための第1の分岐配線を、前記第2の受信回路と前記第2の配線との間に前記第2の信号を伝えるための第2の分岐配線を、前記第3の出力回路と前記第3の配線との間に前記第3の信号を伝えるための第3の分岐配線を、前記第3の受信回路と前記第3の配線との間に前記第3の信号を伝えるための第4の配線をそれぞれ備え、

前記第1の配線と前記第1の分岐配線との間に第1の抵抗素子を、前記第2の配線と前記第2の分岐配線との間に第2の抵抗素子を、前記第3の配線と前記第3の分岐配線との間に第3の抵抗素子を、前記第3の配線と前記第4の分岐配線との間に第4の抵抗素子をそれぞれ備えたことを特徴とする請求項8記載の信号伝送装置。

【請求項10】請求項9記載の信号伝送装置において、前記第1の抵抗素子の抵抗値は、前記第1の分岐配線のインピーダンスの値から前記第1の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあり、また前記第2の抵抗素子の抵抗値は、前記第2の分岐配線のインピーダンスの値から前記第2の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあ

3

り、前記第3の抵抗素子の抵抗値が、前記第3の分岐配線のインピーダンスの値から前記第3の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあり、さらに前記第4の抵抗素子の抵抗値が、前記第4の分岐配線のインピーダンスの値から前記第3の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあることを特徴とした信号伝送装置。

【請求項11】第1のデータ信号を出力する第1の送信回路と、第2のデータ信号を受信する第1の受信回路とからなる第1の送受信回路を有する第1の回路ブロックと、前記第1のデータ信号を受信する第2の受信回路と、前記第2のデータ信号を出力する第2の送信回路とからなる第2の送受信回路を有する第2の回路ブロックと、前記第1の回路ブロックと前記第2の回路ブロックとを接続する配線とからなる信号伝送装置において、前記第1の回路ブロックは、第3のクロック信号を出力する第3の出力回路と第4のクロック信号を受信する第3の受信回路とからなる第3の送受信回路と、前記第4のクロック信号を出力する第4の送信回路とを備え、前記第2の回路ブロックは、前記第3のクロック信号及び第4のクロック信号を受信する第4の受信回路を備え、前記第2の受信回路は、前記第3のクロック信号に同期して前記第1のデータ信号をラッチし、前記第2の出力回路は前記第4のクロック信号に同期して前記第2のデータ信号を出力し、前記第1の受信回路は、前記第4のクロック信号に同期して前記第2のデータ信号をラッチすることを特徴とする信号伝送装置。

【請求項12】前記配線は、前記第1の送受信回路と前記第2の送受信回路間で前記第1、第2のデータ信号を伝送する第1の配線と、前記第3の送受信回路と、前記第4の送信回路及び第4の受信回路との間で前記第3、第4のクロック信号を伝送する第2の配線とからなり、該第1、第2の配線を前記第1の回路ブロックから最遠の第2の回路ブロック以遠の位置で折り返してレイアウトされ、前記第1、第2の配線について前記第2の回路ブロックの一部を前記第1の回路ブロックから前記折り返し位置までの配線上で接続し、残りの前記第2の回路ブロックを前記折り返し位置より先の配線上で接続することを特徴とする請求項11記載の信号伝送装置。

【請求項13】前記第1、第2の配線は、終端抵抗を備えることを特徴とする請求項12記載の信号伝送装置。

【請求項14】前記第1の送受信回路と前記第1の配線との間に第1、第2の信号を伝えるための第3の配線があり、前記第3の送受信回路と前記第2の配線との間に第3、第4の信号を伝えるための第4の配線があり、前記第4の出力回路と前記第2の配線との間に第4の信号を伝えるための第5の配線を備え、

4

前記第1の配線と前記第3の配線との間に第1の抵抗素子があり、前記第2の配線と前記第4の配線との間に第2の抵抗素子があり、さらに前記第2の配線と前記第5の配線との間に第3の抵抗素子があることを特徴とする請求項13記載の信号伝送装置。

【請求項15】前記第1の抵抗素子の抵抗値が、前記第3の配線のインピーダンスの値から前記第1の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあり、前記第2の抵抗素子の抵抗値が、第4の配線のインピーダンスの値から第2の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあり、第3の抵抗素子の抵抗値が、第5の配線のインピーダンスの値から前記第2の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあることを特徴とした請求項14記載の信号伝送装置。

【請求項16】第1のクロック信号を生成して出力するクロック回路と、前記クロック回路から受信した前記第1のクロック信号を自回路内へ分配するクロック分配回路と、前記クロック分配回路から分配された第2のクロック信号を回路外部へ出力する第1の出力回路と、第3の信号を回路外部へ出力する第2の出力回路を有する第1の回路ブロックと、前記第2のクロック信号を受信する第1の受信回路と、前記第3の信号を受信する第2の受信回路と、前記第2の受信回路で受信した前記第2の信号を前記第1の信号と同期してラッチするラッチ回路とを有する複数の第2の回路ブロックとを備えたことを特徴とする信号伝送装置。

【請求項17】前記クロック分配回路は、前記クロック信号を1/2逓倍して前記第1の出力回路へ分配することを特徴とする請求項16記載の信号伝送装置。

【請求項18】前記第2の受信回路と前記ラッチ回路との間に、前記第2の受信回路で受信したクロック信号を2逓倍する回路を備えたことを特徴とする請求項17記載の信号伝送装置。

【請求項19】クロック信号を生成して出力するクロック回路と、

該クロック信号を受信し、受信したクロック信号に基づいて第1の信号を出力する第1の出力回路を有する第1の集積回路と、

前記クロック信号に基づいて動作し前記第1の信号を受信する第1の受信回路を有する複数の第2の集積回路と、

前記クロック信号を前記第2の集積回路に伝達する第1の配線と、

前記第1の信号を前記第2の集積回路に伝達する第2の配線と前記クロック回路、前記第1、第2の集積回路を実装するための基板を有し、

前記複数の第2の集積回路は、列状に並べて配置された

状態で実装される信号伝送装置において、前記複数の第2の集積回路を前記第1の配線上に直列に接続させたことを特徴とする信号伝送装置。

【請求項20】前記第1の配線は、前記クロック回路から最も遠い位置に実装される前記第2の集積回路の以遠の位置で折り返し、前記クロック回路から最も近い位置に実装される前記第2の集積回路まで、折り返し位置までと、折り返し位置以後でほぼ平行にレイアウトされ、前記第2の集積回路の一部を前記第1の配線の折り返し位置までで接続し、残りの前記第2の集積回路を前記第1の配線の折り返し位置以後に接続することを特徴とする請求項19記載の信号伝送装置。

【請求項21】前記第2の配線は、前記第1の集積回路から最も遠い位置に実装される前記第2の集積回路以遠の位置で折り返し、前記第1の集積回路から最も近い位置に実装される前記第2の集積回路まで、折り返し位置までと折り返し位置以後でほぼ平行にレイアウトされ、前記第2の集積回路と前記第1の配線との接続と同様に前記第2の集積回路と前記第2の配線とを接続することを特徴とする請求項20記載の信号伝送装置。

【請求項22】請求項21記載の信号伝送装置において、更に、前記第2の集積回路内に備えられる第2の信号を出力する第2の出力回路と、前記第1の集積回路内に備えられる前記第2の信号を受信する第2の受信回路と、前記第2の信号を前記第1の集積回路と前記第2の集積回路間で伝達する第3の配線とを備え、前記第1の配線は、前記第2の集積回路の各々と接続の後前記第1の集積回路まで到達し、

前記第2の集積回路は、前記第1の配線を介して受信する前記クロック回路に同期して前記第2の信号を出力し、

前記第1の集積回路は、前記第1の配線を介して受信する前記クロック回路に同期して前記第2の信号を受信することを特徴とする信号伝送装置。

【請求項23】クロック信号を生成して出力するクロック回路と、

前記クロック回路を分配するクロック分配回路であって前記クロック信号を1/2逓倍した第1の信号を出力するものと、

前記クロック信号を受信し、該クロック信号に基づいて動作する第1の回路ブロックであって、第2の信号を回路外部へ出力する第2の出力回路を備えたものと、

前記第2の信号を受信する第2の受信回路を備えた第2の回路ブロックであって、

前記第1の信号を受信する第1の受信回路と、前記第1の受信回路が受信した前記第1の信号を2逓倍した第3の信号を出力する逓倍回路と、

前記第2の受信回路が受信した前記第2の信号を前記第3の信号に同期してラッチするラッチ回路とからなることを特徴とする信号伝送装置。

【請求項24】第1の信号を出力する第1の出力回路と、前記第1の信号を受信する第1の受信回路と、第2の信号を出力し、かつ第3の信号を受信する第1の入出力回路を有する第1の回路ブロックと、前記第1の信号を受信する第3の受信回路と前記第2の信号を受信する第4の受信回路と第3の信号を出力する第3の出力回路を有する複数の第2の回路ブロックを持ち、前記第1の信号を伝送するための第1の配線と前記第2の信号および第3の信号を伝送するための第2の配線をそれぞれ、第1の回路ブロックから最遠の第2の回路の位置、または前記位置よりさらに遠い位置で折り返して、再び第1の回路ブロックに戻るようレイアウトし、前記第1の配線と前記第2の配線について、前記第2の回路ブロックの一部を前記第1の回路ブロックから前記折り返し位置までの配線上で接続し、残りの前記第2の回路ブロックを前記折り返した点より先の配線上で接続し、前記第2の信号が前記第1の信号と同じ向き伝わり、また前記第3の信号が前記第1の信号と逆向きに伝わるように、前記第2の配線と前記第1の入出力回路の間にスイッチ機能を持ったスイッチ回路が挿入され、さらに、第1の入出力回路が第1の信号に同期して第2の信号をラッチすることを特徴とした信号伝送装置。

【請求項25】請求項24記載の信号伝送装置において、前記第1の配線または前記第2の配線が片側終端または両側終端したことを特徴とした信号伝送装置。

【請求項26】請求項25記載の信号伝送装置において、前記第1の出力回路と前記第1の信号配線との間に第1の信号を伝えるための第3の配線があり、前記スイッチ回路と前記第2の信号配線との間に第2の信号を伝えるための第4の配線があり、さらに前記スイッチ回路と前記第2の信号配線との間に第3の信号を伝えるための第5の配線があることを特徴とした信号伝送装置。

【請求項27】請求項26記載の信号伝送装置において、前記第1の配線と前記第3の配線との間に第1の抵抗があり、前記第1の配線と前記第4の配線との間に第2の抵抗があり、さらに前記第2の配線と前記第5の配線との間に第3の抵抗があることを特徴とした信号伝送装置。

【請求項28】請求項27記載の信号伝送装置において、第1の抵抗の抵抗値が、第3の配線のインピーダンスの値から第1の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあり、また第2の抵抗の抵抗値が、第4の配線のインピーダンスの値から第1の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあり、第3の抵抗の抵抗値が、第5の配線のインピーダンスの値から第2の配線のインピーダンスの半分の値を引いた値の半分から2倍の範囲にあることを特徴とした信号伝送装置。

【請求項29】請求項27の信号伝送装置において、第1の受信回路で受けた信号を2逓倍した信号に同期して

10

20

30

40

50

7

第1の入出力回路が第3の信号を受信することを特徴とした信号伝送装置。

【請求項30】請求項29の信号伝送装置において、第1の入出力回路が受信した第3の信号の位相を前記第1の信号で同期して制御出来る信号へと変換するための位相調整回路を持つことを特徴とした信号伝送装置。

【請求項31】クロック信号を出力するクロック出力回路と、メモリコントローラと、複数のメモリモジュールと、該複数のメモリモジュールを一列に配列して実装する基板と、

前記クロック信号を伝送する第1の配線と、前記メモリコントローラから前記メモリモジュールへ向かう信号を伝達する第2の配線と、前記メモリモジュールから前記メモリコントローラへ向かう信号を伝達する第3の配線とを備えたメモリシステムにおいて、

前記第1の配線は前記クロック出力回路から配線され、前記複数のメモリモジュールと直列に接続され、前記第2、第3の配線は前記メモリコントローラから配線され、前記複数のメモリモジュールに直列に接続され、

前記第2の配線は、前記メモリコントローラから最遠の前記メモリモジュール以遠の位置で折り返し、前記メモリコントローラから最も近い前記メモリモジュールまで戻るようにレイアウトされ、

前記第1、第3の配線のそれぞれは、前記メモリコントローラから最遠の前記メモリモジュール以遠の位置で折り返し、前記メモリコントローラから最も近い前記メモリモジュールまで戻った後前記メモリコントローラに到達するようにレイアウトされ、

前記第1の配線と前記第2の配線では、前記メモリモジュールの一部は前記第1の配線と前記第2の配線の折り返し位置までで接続し、残りの前記メモリモジュールは前記第1と第2の配線の前記折り返し位置以後で接続し、

前記第3の配線では、前記第1の配線と該第1の配線の折り返し位置までで接続した前記一部のメモリモジュールについては、前記第3の配線の折り返し位置以後で接続し、前記残りのメモリモジュールについては、前記第3の配線の折り返し位置までで接続したことを特徴とするメモリシステム。

【請求項32】クロック信号を出力するクロック出力回路と、メモリコントローラと、複数のメモリモジュールと、該複数のメモリモジュールを一列に配列して実装する基板と、

前記クロック信号を伝送する第1の配線と、前記メモリコントローラから前記メモリモジュールへ向かう信号を伝達する第2の配線とを備えたメモリシステムにおいて、

前記第1の配線は前記クロック出力回路から配線され、前記複数のメモリモジュールと直列に接続され、前記第

8

2の配線は、前記メモリコントローラから配線され、前記複数のメモリモジュールに直列に接続されるようにして、前記第1、第2の配線と、前記メモリモジュールとを接続したことを特徴とするメモリシステム。

【請求項33】前記第1、第2の配線のそれぞれは、前記メモリコントローラから最遠の前記メモリモジュール以遠の位置で折り返し、前記メモリコントローラから最も近い前記メモリモジュールまで戻るようにレイアウトされ、

10 前記メモリモジュールの一部は前記第1の配線と前記第2の配線の折り返し位置までで接続し、残りの前記メモリモジュールは前記第1と第2の配線の前記折り返し位置以後で接続したことを特徴とする請求項32記載のメモリシステム。

【請求項34】クロック信号を出力するクロック出力回路と、メモリコントローラと、メモリモジュールの接続用の複数のコネクタと、該複数のコネクタを一列に配列して実装する基板と、

前記クロック信号を伝送する第1の配線と、前記メモリコントローラから前記コネクタへ向かう信号を伝達する第2の配線と、前記コネクタから前記メモリコントローラへ向かう信号を伝達する第3の配線とを備えたメモリシステム用基板において、

前記第1の配線は前記クロック出力回路から配線され、前記複数のコネクタと直列に接続され、

前記第2、第3の配線は前記メモリコントローラから配線され、前記複数のコネクタに直列に接続され、

前記第2の配線は、前記メモリコントローラから最遠の前記コネクタ以遠の位置で折り返し、前記メモリコントローラから最も近い前記コネクタまで戻るようにレイアウトされ、

前記第1、第3の配線のそれぞれは、前記メモリコントローラから最遠の前記コネクタ以遠の位置で折り返し、前記メモリコントローラから最も近い前記コネクタまで戻った後前記メモリコントローラに到達するようにレイアウトされ、

前記第1の配線と前記第2の配線では、前記コネクタの一部は前記第1の配線と前記第2の配線の折り返し位置までで接続し、残りの前記コネクタは前記第1と第2の配線の前記折り返し位置以後で接続し、

40 前記第3の配線では、前記第1の配線と該第1の配線の折り返し位置までで接続した前記一部のコネクタについては、前記第3の配線の折り返し位置以後で接続し、前記残りのコネクタについては、前記第3の配線の折り返し位置までで接続したことを特徴とするメモリシステム用基板。

【請求項35】クロック信号を出力するクロック出力回路と、メモリコントローラと、メモリモジュールの接続用の複数のコネクタと、該複数のコネクタを一列に配列して実装する基板と、

前記クロック信号を伝送する第1の配線と、前記メモリコントローラから前記コネクタへ向かう信号を伝達する第2の配線とを備えたメモリシステム用基板において、

前記第1の配線は前記クロック出力回路から配線され、前記複数のコネクタと直列に接続され、前記第2の配線は、前記メモリコントローラから配線され、前記複数のコネクタに直列に接続されるようにして、前記第1、第2の配線と、前記コネクタとを接続したことを特徴とするメモリシステム用基板。

【請求項36】前記第1、第2の配線のそれぞれは、前記メモリコントローラから最遠の前記コネクタ以遠の位置で折り返し、前記メモリコントローラから最も近い前記コネクタまで戻る用にレイアウトされ、前記コネクタの一部は前記第1の配線と前記第2の配線の折り返し位置までで接続し、残りの前記コネクタは前記第1と第2の配線の前記折り返し位置以後で接続したことを特徴とする請求項35記載のメモリシステム用基板。

【請求項37】第1の信号を出力する第1の出力回路と、第2の信号を出力する第2の出力回路と、第3の信号を受信する第1の受信回路と、第4の信号を受信する第2の受信回路を有する第1の回路ブロックと、前記第1の信号を受信する第3の受信回路と前記第2の信号を受信するための第4の受信回路と第3の信号を出力する第3の出力回路と前記第4の信号を出力する第4の出力回路を有する複数の第2の回路ブロックを持ち、前記第1の信号と前記第2の信号と前記第3の信号そして前記第4の信号を、前記第1の回路ブロックと前記第2の回路ブロック間に伝送させる第1の配線と第2の配線と第3の配線および第4の配線をそれぞれ、第1の回路ブロックから最遠の第2の回路ブロックの位置、または前記位置よりさらに遠い位置で折り返してレイアウトし、前記第1の信号と前記第3の信号について、前記第2の回路ブロックの一部を前記第1の回路ブロックから前記折り返し位置までの配線上で接続し、残りの前記第2の回路ブロックを前記折り返した点より先の配線上で接続し、前記第2の信号と前記第4の信号に対しては、第1の信号が前記第1の回路ブロックから前記折り返し位置までの配線上で接続している場合、前記第2の回路ブロックは前記折り返した点より先の配線上で接続し、他の前記第2の回路ブロックは、前記第1の回路ブロックから前記折り返し位置までの配線上で接続し、第2の受信回路が第3の信号に同期して第4の信号をラッチし、さらに第4の受信回路が第1の信号に同期して第4の信号をラッチすることを特徴とした信号伝送装置。

【請求項38】第1の信号を出力する第1の出力回路と、前記第3の信号を受信する第1の受信回路と、前記第2の信号を出力し、前記第4の信号を受信する第1の

入出力回路を有する第1の回路ブロックと、前記第1の信号を受信する第2の受信回路と前記第3の信号を出力するための第2の出力回路と、第2の信号を受信し第4の信号を出力する第2の入出力回路を有する複数の第2の回路ブロックを持ち、前記第1の回路ブロックと前記第2の回路ブロック間を伝送させる第1信号のための第1の配線と、第2信号と第4信号のための第2の配線、第3の信号のための第3の配線を第1の回路ブロックから最遠の第2の回路の位置、または前記位置よりさらに遠い位置で折り返してレイアウトし、

前記第1の信号と前記第2の信号について、前記第2の回路ブロックの一部を前記第1の回路ブロックから前記折り返し位置までの配線上で接続し、残りの前記第2の回路ブロックを前記折り返した点より先の配線上で接続し、

前記第3の信号に対しては、第1の信号が前記第1の回路ブロックから前記折り返し位置までの配線上で接続している場合、前記第2の回路ブロックは前記折り返した点より先の配線上で接続し、他の前記第2の回路ブロックは、前記第1の回路ブロックから前記折り返し位置までの配線上で接続し、

第2の入出力回路が第1の信号に同期して第2の信号をラッチし、第1の入出力回路が第3の信号に同期して第4の信号をラッチすることを特徴とした信号伝送線路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はワークステーションやパーソナルコンピュータなどの装置内に実装される部品(集積回路がその代表的なもの)間の信号伝送技術に関するもので、特に高速な信号伝送に有効な技術に関する。

【0002】

【従来の技術】現在のワークステーションやパソコンで用いられているメモリ回路の1例を図3に示す。

【0003】30は複数のメモリLSI31が実装されたメモリモジュール、32はメモリコントローラで、メモリLSI31の制御、メモリLSI31への書き込みデータの送信、メモリLSI31からの読み出しデータの受信などを行う。

【0004】なお、メモリコントローラ32の中には、メモリLSI31の制御をする部分と書き込みデータの送信と読みだしデータの受信をする部分とを別々の集積回路にておこなうものもある。

【0005】ここでのメモリLSIは、クロック同期式のメモリを想定している。クロック同期式メモリとしては、例えばSDRAM(Synchronous Dynamic Random Access Memory)がある。

【0006】このメモリコントローラはマザーボード33上に実装され、メモリモジュール30はコネクタ34によってマザー・ボード上に実装される。

10

20

30

40

50

【0007】図3には、マザーボード上に実装されているメモリモジュールの枚数は8枚であるが、モジュールの枚数は、システムの規模、仕様またはユーザの目的等によって随時枚数が決められる。

【0008】このメモリ回路の簡単な回路動作は以下の通りである。メモリコントローラから出力される制御信号や書き込み用データ信号は、マザーボード上の信号配線35を通り、コネクタ34、メモリモジュール上の接点36、メモリモジュール上の配線37を経て、各モジュール上のメモリLSI31へと伝えられる。さらに、データの読み出しの場合は、メモリLSI31からモジュール上配線37、接点36、コネクタ34、マザーボード上の配線35を通り、メモリコントローラ32に入力される。

【0009】このような配線35をメモリバスという。図3では複数本あるメモリバスのうち、1本のみを示している。

【0010】なお、SDRAMには上記制御信号、データ信号のほかに、クロック信号も供給されるが、図3ではクロック用配線は示していない。クロック用配線はクロック発信源から直接、または分周、分配先よりメモリコントローラやメモリモジュール内にあるメモリLSIに分配される。

【0011】このようなメモリシステム内等の集積回路部品間の信号伝送路に、フリップフロップを用いた単相クロックシステム方式がある。

【0012】この技術については、例えば、VLSIシステム設計 回路と実装の基礎（丸善出版、平成7年）の356ページから360ページに詳細に述べられる。

【0013】単相クロック方式の最も簡単な例を図2に示す。図2は出力回路と入力回路とが1:1で接続された伝送回路を示す。ここで、回路ブロック21には、フリップフロップ24と出力回路26があり、また回路ブロック22には入力回路27とフリップフロップ25がある。そして23は回路ブロック21より出力された信号を回路ブロック22に伝えるための伝送線路である。

【0014】フリップフロップ24、25には、クロック発信源から直接、または分配、分周されたクロックが入力される。なお、図2では示していないが、フリップフロップ24の入力信号は回路ブロック21内で作られ、また、フリップフロップ25の出力も、回路ブロック25内の別の回路に入力されているのが一般的である。

【0015】また、上記説明ではフリップフロップ24の入力信号は回路ブロック21内で生成されたとしたが、他の回路ブロックで生成され、直接、フリップフロップに入力される場合もある。フリップフロップ25の出力も同様に、回路ブロック22内の入力回路に限ることなく、他の回路ブロック内の入力回路に直接、配線される場合もある。

【0016】

【発明が解決しようとする課題】図2に示した回路の基本動作は以下の通りである。

【0017】フリップフロップ24、25にはクロックが供給されているものとする。フリップフロップ24は、前サイクルのクロックでラッチしたデータをクロックに同期して出力し、そのデータを出力回路26の入力部に伝え、出力部からそのデータを伝送線路23に出力する。伝送線路23を伝わったデータは、入力回路27を経て、フリップフロップ25のデータ入力部に伝わり、クロックと同期してそのデータをラッチする。

【0018】単相クロックシステムの場合、各フリップフロップに入力されるクロックはお互いに位相が合うように設計される。位相を合わせる技術としては、クロック発信源またはその分配先、分周先から各回路ブロックのクロック入力部までの信号配線長を合わせたり、そのクロック信号の配線の容量負荷を合わせることで、配線ディレイを合わせる方法が広く使われている。

【0019】この単相クロックシステムにおいて、効率的に信号を伝送する方法として広く使われている技術は、信号を出力したサイクルの次のサイクルで、この信号を受信側でラッチする伝送方式である。この方式では、サイクル時間 t_{cycle} は以下の式を満足していなければならない。

$$t_{cycle} > t_{delay(max)} + t_{pd(max)} + t_{setup(max)} + t_{skew(max)}$$

ここで、 $t_{delay(max)}$ は回路ブロック21のクロック・アクセス時間、すなわち回路ブロック21にクロックが入力されてからデータが回路ブロック21から出力されるまでの時間、 $t_{pd(max)}$ は回路ブロック21から出力された信号が回路ブロック22に入力されるまでの伝搬時間、 $t_{setup(max)}$ は回路ブロック22のセットアップ時間、すなわち回路ブロック22に入力されるクロックに先立ち、回路ブロック22に入力される信号の論理値（High、またはLow）が確定していなければならない時間、そして最後に t_{skew} は回路ブロック21、22それぞれに入力されるクロック間のスキューである。

【0021】式中に(max)とあるのは、それぞれの温度・プロセスなどのばらつきを考慮にいれたそれぞれの最大値を意味している。

【0022】ここで示したメモリ回路において、回路ブロック（ここではメモリコントローラとメモリモジュール）間の接続配線が長い場合、先に述べた伝搬時間、 t_{pd} は大きな値を持つことになる。例えば、コネクタピッチを400mil（約1cm）、メモリモジュール枚数を16枚の場合、 t_{pd} は3～4nsとなる。

【0023】 $t_{pd(mux)}$ を4nsとすると、サイクル数が33MHzの場合、その周期、30nsに対する t_{pd} の割合は約1割程度にすぎず、回路ブロックの高速化により、

$t_{\text{cycle}} > t_{\text{delay}}(\text{max}) + t_{\text{pd}}(\text{max}) + t_{\text{setup}}(\text{max}) + t_{\text{skew}}(\text{max})$

を満たすことは可能である。

【0024】しかし、例えば、サイクル数を250MHzまであげると、その周期は $t_{\text{pd}}(\text{max})$ と同じ4nsとなり、いくら回路ブロックの高速化をはかっても、このシステムを実現することは出来ないことになる。250MHzとまでいかなくとも、 $t_{\text{delay}}(\text{max})$ 、 $t_{\text{setup}}(\text{max})$ 、 $t_{\text{skew}}(\text{max})$ の高速化はデバイスの微細化などによる

ところが大きく、現実には、100MHz前後のサイクル数でも、

$t_{\text{cycle}} < t_{\text{delay}}(\text{max}) + t_{\text{pd}}(\text{max}) + t_{\text{setup}}(\text{max}) + t_{\text{skew}}(\text{max})$

の関係になり、それ以上の高速化は設計上不可能となる。

【0025】また、高速化の実現を検討するときに、上記のようなディレイ計算の他に、ウィンドウの確保の検討を行う方法がある。ディレイ計算の場合、出力回路と入力回路とのクロック位相を一致させた状態での信号伝送の可否を検討しているのに対し、ウィンドウを考慮に

いれた場合、クロックの位相にオフセット調整を加えることによって、より一層の高速化を可能とする。

【0026】クロックの位相にオフセット調整を加えるというのは、例えば図3のような場合、メモリコントローラに供給されるクロックにくらべ、メモリモジュールに供給されるクロックの位相をずらして早めたり、遅らしたりすることをいう。

【0027】例えば、書き込み時のディレイ時間が読み出し時のディレイ時間に比べて早い場合、前述したディレイ時間による方法であれば、読み出し時のディレイ時間に合わせてサイクルが決まるのに対し、ウィンドウを考慮に

いれた場合、メモリLSIに供給しているクロックの位相を早くずらすことによって、読み出しデータを早く出力することが出来、その結果、メモリコントローラにおいて、メモリLSIのクロック同期タイミングとメモリコントローラの次サイクルのクロック同期タイミングまでの時間を延ばせるので、読み出し時のディレイ時間以上の時間を確保出来る場合がある。つまり、ウィンドウ時間の確保を検討する場合は、上式の代わりにウィンドウ時間 t_{window} 、つまり

$t_{\text{window}} = t_{\text{cycle}} + t_{\text{OH}} - t_{\text{delay}}(\text{max})$

を用いて設計を行う。

【0028】 t_{OH} は、データ出力ホールド時間といい、信号出力をしている出力回路ブロックに次のクロックが入ってから、出力が（そのサイクルの）データに切り替わるまでの時間である。この時間は、 $t_{\text{delay}}(\text{min})$ 、つまり t_{delay} の最小値と一致するか、それ以上の時間である。

【0029】こうして求められた t_{window} の値をもとに、次式が満足していればよい。

【0030】 $t_{\text{window}} > t_{\text{pd}}(\text{max-min}) + t_{\text{setup}}(\text{max}) + t_{\text{hold}}(\text{max})$

ここで $t_{\text{pd}}(\text{max-min})$ とは、 t_{pd} の最大値と最小値との差であり、図3の場合、最大値とはメモリコントローラからみて最遠端のモジュールとメモリコントローラとの間の伝搬時間であり、最小値とは最近端のモジュールとメモリコントローラとの間の伝搬時間である。すなわち、 $t_{\text{delay}}(\text{max-min})$ とはメモリモジュールの位置による伝搬時間の違いを表す量である。

【0031】このウィンドウ時間の検討を、メモリモジュールへのデータの書き込み時と読み出し時のそれぞれについておこない、ともに

$t_{\text{window}} > t_{\text{pd}}(\text{max-min}) + t_{\text{setup}}(\text{max}) + t_{\text{hold}}(\text{max})$

が満足していれば、あとはそれぞれの時間幅である $t_{\text{window}} - t_{\text{pd}}(\text{max-min})$ にセットアップ時間とホールド時間が確保できるようにクロックの位相のオフセット値をセットすればよい。

【0032】この方法によって、若干の高速化は図れるが、装置のサイズ、例えば図3に示したメモリ回路では、実装モジュール枚数が多くなると、 $t_{\text{pd}}(\text{max-min})$ の値が無視できなくなり、それゆえに高速化がやはり困難となる。

【0033】即ち、高速伝送が要求されるほど、メモリコントローラから近端のメモリモジュールまでの信号の伝搬時間とメモリコントローラからの遠端のメモリモジュールまでの信号の伝搬時間との違いによる影響が大きくなり、メモリシステムの高速設計に困難が生じている。

【0034】同様の問題はメモリシステムに係わらず、クロックと同期して信号の送受信を行う回路間で起こってくる問題であり、例えば、マイクロプロセッサを複数用いたマルチプロセッサ・システムにおけるプロセッサバスについても同様の問題が発生しうる。

【0035】本発明は、クロック信号に同期して信号の授受を行うシステムにおいて、これらの問題を解決することにある。

【0036】本発明は、回路間の信号の伝搬時間の遅れによる信号の授受の不調を減らすことのできる信号伝送装置を提供することを目的とする。

【0037】本発明の他の目的は、以下の詳細な説明で明らかにされる。

【0038】

【課題を解決するための手段】上記目的を達成するために、クロック信号を出力するクロック出力回路と、第1の信号を出力する第1の回路と、前記第1の信号を受信する複数の第2の回路と、該複数の第2の回路を配列して実装する基板と、前記クロック信号を伝送する第1の配線と、前記第1の回路から前記第2の回路へ向かう信号を伝達する第2の配線とを備えた信号伝送装置におい

て、前記第1の配線は前記クロック出力回路から配線され、前記複数の第2の回路と直列に接続され、前記第2の配線は、前記第1の回路から配線され、前記複数のメモリモジュールに直列に接続されるようにして前記第1、第2の配線と、前記第2の回路とを接続するようにした。

【0039】こうすることにより、クロック信号が任意の第2の回路へ到達する距離と、第1の回路から出力される第1の信号がその第2の回路へ到達する距離との相対的な関係が、第2の回路の実装位置によらず、ほぼ同様の距離とすることができ、第2の回路がクロック信号に同期して第1の信号をラッチするときに、第1の信号の回路間の伝搬遅延時間の影響を抑えることができる。

【0040】また、前記第1、第2の配線のそれぞれは、前記第1の回路から最遠の前記第2の回路以遠の位置で折り返し、前記第1の回路から最も近い前記第2の回路まで戻るようにレイアウトし、前記第2の回路の一部は前記第1の配線と前記第2の配線の折り返し位置までで接続し、残りの前記第2の回路は前記第1と第2の配線の前記折り返し位置以後で接続することにより、負荷の密度を低めることができる。

【0041】更に、クロック信号を出力するクロック出力回路と、第1の信号を出力し、第2の信号を受信する第1の回路と、前記第1の信号を受信し、前記第2の信号を出力する複数の第2の回路と、該複数の第2の回路を配列して実装する基板と、前記クロック信号を伝送する第1の配線と、前記第1の回路から前記第2の回路へ向かう信号を伝達する第2の配線と、前記第2の回路から前記第1の回路へ向かう信号を伝達する第3の配線とを備えた信号伝送装置において、前記第1の配線は、前記クロック出力回路から配線され、前記複数の第2の回路と直列に接続され、前記第2、第3の配線は前記第1の回路から配線され、前記複数のメモリモジュールに直列に接続され、前記第2の配線は、前記第1の回路から最遠の前記第2の回路以遠の位置で折り返し、前記第1の回路から最も近い前記第2の回路まで戻るようにレイアウトされ、前記第1、第3の配線のそれぞれは、前記第1の回路から最遠の前記第2の回路以遠の位置で折り返し、前記第1の回路から最も近い前記第2の回路まで戻った後前記第1の回路に到達するようにレイアウトされ、前記第1の配線と前記第2の配線では、前記第2の回路の一部は前記第1の配線と前記第2の配線の折り返し位置までで接続し、残りの前記第2の回路は前記第1と第2の配線の前記折り返し位置以後で接続し、前記第3の配線では、前記第1の配線と該第1の配線の折り返し位置までで接続した前記一部の第2の回路については、前記第3の配線の折り返し位置以後で接続し、前記残りの第2の回路については、前記第3の配線の折り返し位置までで接続する。

【0042】こうすることにより、クロック信号が任意

の第2の回路へ到達する距離と、第1の回路から出力される第1の信号がその第2の回路へ到達する距離との相対的な関係、及び第2の回路がクロック信号に同期して出力する第2の信号が第1の回路へ到達するまでの距離と、第2の回路が第2の信号を出力したときのクロック信号が第1の回路へ到達するまでの距離との相対関係が、第2の回路の実装位置によらず、ほぼ同様の距離とすることができ、第2の回路がクロック信号に同期して第1の信号をラッチするとき、及び第1の回路が第2の信号をラッチする時に、第1、第2の信号の回路間の伝搬遅延時間の影響を抑えることができる。

【0043】また、第1の信号を出力する第1の出力回路と、第2の信号を出力する第2の出力回路と、第3の信号を受信する第1の受信回路と、第4の信号を受信する第2の受信回路を有する第1の回路ブロックと、前記第1の信号を受信する第3の受信回路と前記第2の信号を受信するための第4の受信回路と第3の信号を出力する第3の出力回路と前記第4の信号を出力する第4の出力回路を有する複数の第2の回路ブロックを持ち、前記第1の信号と前記第2の信号と前記第3の信号そして前記第4の信号を、前記第1の回路ブロックと前記第2の回路ブロック間に伝送させる第1の配線と第2の配線と第3の配線および第4の配線をそれぞれ、第1の回路ブロックから最遠の第2の回路ブロックの位置、または前記位置よりさらに遠い位置で折り返してレイアウトし、前記第1の信号と前記第3の信号について、前記第2の回路ブロックの一部を前記第1の回路ブロックから前記折り返し位置までの配線上で接続し、残りの前記第2の回路ブロックを前記折り返した点より先の配線上で接続し、前記第2の信号と前記第4の信号に対しては、第1の信号が前記第1の回路ブロックから前記折り返し位置までの配線上で接続している場合、前記第2の回路ブロックは前記折り返した点より先の配線上で接続し、他の前記第2の回路ブロックは、前記第1の回路ブロックから前記折り返し位置までの配線上で接続し、第2の受信回路が第3の信号に同期して第4の信号をラッチし、さらに第4の受信回路が第1の信号に同期して第4の信号をラッチする構成とし、メモリモジュール側がデータを受け取るためのタイミング信号を出力するようにしてもよい。

【0044】

【発明の実施の形態】以下、本発明の一実施例を図面を用いて詳細に説明する。

【0045】本実施例では、メモリシステムのメモリバスの例にして説明する。先述したように、本願発明は、ワークステーションやパーソナルコンピュータなどの高速信号伝送が要求されるあらゆる階層のバス、つまり図17に示すシステムバス（プロセッサバス）、メモリバス、周辺バス等の信号配線にも適用されるものである。

10

20

30

40

50

メモリシステムに限られないことは言うまでもない。

【0046】本発明の一実施例（第1の実施例）を説明する。本実施例に関係する図面として、メモリコントローラとメモリモジュールとの配線、接続に関して、図4、図6、図1に示し、メモリコントローラの詳細について図28～31及び図35に示し、メモリモジュールの詳細について図21、図40、図41に示す。また、実装されたシステムの変形例について図13～16、図18～20、図22～図25に示す。

【0047】まず、図4を用いて主に本実施例の基本的な基板配線パターンと基板配線とコネクタとの接続について説明する。

【0048】メモリコントローラ32には出力回路11、12と入力回路13、14がある。

【0049】このうち、出力回路11、入力回路13はクロック信号用の回路、また出力回路12、入力回路14はデータ信号用の回路、配線15はクロックを伝えるためのクロック用配線、配線16はデータ書き込み用配線、配線17はデータ読み出し用配線である。

【0050】34A～34Fはコネクタであり、メモリ素子等を実装した後述するメモリモジュール等が接続されるものである。

【0051】メモリコントローラ32や、配線15、16、17とコネクタ34A～34F等は、図3の33に示すような基板（マザーボード）に実装される。

【0052】伝送線路15A、15B、16A、17Aは、メモリコントローラ32をマザーボードと別の基板（モジュール）上に実装した場合に、そのモジュールに引かれる配線である。また、メモリコントローラ32がマザーボードに実装される場合でもマザーボード上のレイアウトによって必要に応じて引かれることがあるが、必ずしも必要なものではない。

【0053】コネクタ34A～34Fは、マザーボード上で、図3に示すように一列に配列されて実装される。配線15～17はメモリコントローラ32からそれぞれのコネクタ34A～34Fと順次交差するように延び、メモリコントローラ32から最も遠い位置にあるコネクタの先で折り返し（Uターン）し、再度コネクタ34Fからコネクタ34Aと順次交差するようにレイアウトされる。図4には、配線15～17とコネクタ34A～34Fと接続箇所を、黒丸（・）を示している。

【0054】クロック用配線15とデータ書き込み用配線16は、それぞれの配線の折り返しの位置までに、コネクタ34A～34C…34Eと接続し、折り返しの位置以後でコネクタ34F…34D～34Bと接続する。

【0055】データ読み出し用配線17は、クロック用配線15、データ書き込み用配線16と逆の関係で接続する。即ち、配線17の折り返しの位置までに、コネクタ34B～34D…34Fと接続し、折り返しの位置以後にコネクタ34E…34C～34Aと接続する。

【0056】交互に配置することで配線に対する負荷のかかり方が一样になる。

【0057】図4では、クロック信号線16と書き込み用データ信号線17および読みだし用データ信号線18をそれぞれ1本ずつ示しているが、それぞれの配線の本数は必要に応じて何本引かれていてもよいことはいうまでもない。

【0058】コネクタ34A～34Fには、メモリモジュール30が実装される。メモリモジュールの例を図18から図27に示す。メモリモジュール30には図18に示すように、メモリLSIが複数個実装される。メモリLSIは、クロック同期型メモリ、例えばSDRAMが望ましい。SDRAMはクロックの同期して、制御信号、アドレス信号を取り込んだり、またはデータを書き込んだり、読み出したりするメモリである。

【0059】メモリモジュール30では、データ線は、図19に示すようにモジュールの接点36とSDRAMのピンとが1:1に接続される。制御信号・アドレス信号は図20に示すように、モジュールの接点36と複数のSDRAMのピンとが接続される。図20ではすべてのSDRAMに信号が分配された例を示したが、1つの接点36からモジュール上にあるSDRAMの1部に分配されるケース、たとえば1つのモジュールに複数のCAS (Column Address Strobe) 信号が入力されるケースがこれにあたる。

【0060】また、図22に示すように、接点36とSDRAMとの間にバッファ回路61が入る場合や、図23のようにデータ信号線に抵抗が入る場合、図24のように制御信号・アドレス信号線に抵抗が入る場合、さらには図25のようにバッファ回路61と抵抗60の両方が入る場合がある。

【0061】図23等で挿入される抵抗は、マザーボード上の配線と、メモリモジュール上の配線のインピーダンスマッチングをとるための抵抗であり、その詳細は、本願出願人が先に出願した特願平5-334631号（特開平7-202947号）、特願平7-26495号（特開平7-283836号）に詳述される。

【0062】上記メモリモジュール30のうちの、1つのSDRAMに注目し、その他の回路をすべて省略した回路を図21に示す。図21のSDRAMは入力回路と出力回路とが分離しているタイプを示している。SDRAMにはクロックを取り込む入力回路50、データを取り込む入力回路51、そしてデータを出力する出力回路52がある。

【0063】現状のSDRAMは、入力回路の入力部と出力回路の出力部とがLSI内で共通になった入出力タイプであるが、それについては後述し、ここではLSI内部では入力回路の入力部と出力回路の出力部とが分離しているタイプのピン仕様を例にあげて以下、動作を簡単に説明する。

【0064】SDRAM31は、入力回路50によって取り込んだクロックに同期して、入力回路51でデータを取り込んだり、または出力回路52からデータを出力するして、クロック信号に同期してデータを書き込み、または読み出しを実行している。

【0065】通常本実施例のメモリシステムでは上述したメモリモジュール30がコネクタ34の全て又は一部に接続された形で実現される。

【0066】以下図4に示されるマザーボードの各コネクタに図21に示したメモリモジュール30が接続されたメモリシステムにおけるメモリモジュール30へのデータの書き込みの処理例を示す。

【0067】メモリコントローラ32は、書き込み用のデータと、クロック信号とをそれぞれ出力回路12、11から出力する。クロック信号は書き込みの処理を行うときに発信するようにしてもよいし、常に出力しているようにしても良い。

【0068】出力されたクロック信号はクロック用配線15を伝わり、コネクタ34A、34C、・・・、34E、34F、・・・、34D、34Bの順で各コネクタに伝わり、再びメモリコントローラへと戻ってくる。書き込みデータも、クロック用配線と同様順序でコネクタと接続しているの、同様の順序で各コネクタに伝わる。

【0069】任意のコネクタ34に接続されたメモリモジュール30のSDRAM31は、入力回路50で受信したクロック信号に同期して前入力回路51からデータを取り込む。

【0070】メモリコントローラがデータを読み出すときには、メモリコントローラ32はクロック信号とデータ読み出しのためのアドレス等を含む制御信号を発する。上記の書き込みと同様に、メモリコントローラ32から出力された制御信号は、SDRAM31に受信される。

【0071】SDRAM31は、該当するデータを入力回路50が受信するクロック信号と同期して出力回路52からデータ読み出し用配線17に出力する。

【0072】データ読み出し用配線17は、データ書き込み用データとは逆の順序で、コネクタと接続している。前記メモリモジュールがコネクタ34に接続されているとすると、SDRAM31が出力回路52から出力したデータはコネクタ34Aから、34C、・・・、34E、34F、・・・、34D、34Bの各コネクタとの接続点を通り、メモリコントローラにたどり着く。SDRAM31がデータを出力するときのクロック信号は、コネクタ34Aでデータ出力の同期を取られるために利用される。そのクロック信号は読み出し用配線17のデータと同様に、コネクタ34Aから、34C、・・・、34E、34F、・・・、34D、34Bの各コネクタとの接続点を通り、メモリコントローラに戻ってくる。

【0073】メモリコントローラ32は、受信回路1

3で受信したクロック用配線を介して戻ってきたクロック信号に同期して受信回路14が読み出したデータを取り込む。

【0074】読み出しデータがメモリモジュール30からメモリコントローラ32にたどり着くまでと、クロック信号がメモリモジュール30の位置からメモリコントローラ32にたどり着くまでは、ほぼ同じ距離をたどることになり、回路間のクロック信号とデータ信号の回路間ディレイの差を意識しなくてもよくなる。

10 【0075】このように、クロック信号と書き込みデータ信号が任意のメモリモジュールに届く時間（距離）を、メモリモジュールの接続位置にかかわらずほぼあわせることができる。またメモリモジュールから読み出しデータが届くまでと、該メモリモジュールの位置からクロック信号がメモリコントローラに戻ってくるまでの時間をほぼ合わせることができる。

【0076】このように、メモリモジュールの位置にかかわらず、データ書き込み時の伝搬時間と読み出し時の伝搬時間との和が、ほぼ一定の値となり、先述した式、

$$t_{window} > t_{pd}(\max - \min) + t_{setup}(\max) + t_{hold}(\max)$$

において、 $t_{pd}(\max - \min)$ の値を削減でき、ウィンドウのマージンを確保できる。

【0077】つまり、前にも述べたように、時間

$t_{window} - t_{pd}(\max - \min)$

が長くなるため、セットアップ時間とホールド時間の値以上の時間を容易に取ることができる。

30 【0078】なお、図4で示したように、コネクタと配線との接続を交互に配線の折り返し位置の前後とするコネクタの接続方法は一例である。

【0079】クロック配線15において、出力回路11から（メモリコントローラから最も遠い）コネクタ34Fまでの部分を「行きの部分」、そしてコネクタ34Fから入力回路までの部分を「帰りの部分」、同様に書き込みデータ配線においても、出力回路12からコネクタ34Fまでの部分を「行きの部分」、残りの部分（つまり、行きの部分の先にあるメモリモジュール側に戻ってくる部分）を「リターンの部分」、そして読み出しデータ配線については、コネクタ34Fから入力回路14までの部分を「リターンの部分」、残りの部分（つまり、リターン部分の手前の部分で、コネクタ34Aからコネクタ34Fまでの部分）を「行きの部分」とすれば、以下のルールを守ってコネクタを接続すれば良い。

【0080】（1）クロック配線を「行きの部分」でコネクタと接続した場合、

・書き込みデータ用配線は「行きの部分」でコネクタと接続し、

・読み出しデータ用配線は「リターンの部分」で配線する。

50 【0081】（2）クロック配線を「帰りの部分」でコ

ネクタと接続した場合、

・書き込みデータ用配線は「リターンの部分」でコネクタと接続し、

・読み出しデータ用配線は「行きの部分」で配線する。

【0082】より精度をあげるためには、以下のことを考慮して配線のレイアウトを行えば良い。

【0083】(1) 出力回路11からモジュール内の入力回路50までの配線15の配線長と、出力回路12からモジュール内の入力回路51までの配線16の配線長とを合わせたり、配線負荷を合わせる。

【0084】(2) 出力回路12からモジュール内の入力回路51までの配線16の配線長と、モジュール内の出力回路52から入力回路14までの配線17の配線長を各モジュール間で合わせたり、配線負荷を合わせる。

【0085】これらの配線長を合わせたり、配線負荷を合わせたりする精度をあげれば、その分、 $t_{window} - t_{pd(max-min)}$ の値を増やす効果がある。

【0086】なお、クロックの位相のオフセットをかける手段としては、

(1) メモリコントローラ、または各メモリモジュールに分配されるクロック配線上のいずれかに伝搬遅延を生じさせるための回路、たとえばディレイ回路を置く方法。この回路はすべての配線上に置いても良いし、どれかの信号のみに置いても良い。

【0087】(2) (1) のディレイ回路機能をクロック発信源、または分配、分周源側に持たせる方法。このとき、外部ピンによってそのディレイが調整できるようにしておくことがより良い。このためには、これらのクロック源内にいくつかのディレイ回路を作り込んでおいて、それらを外部から選択する方法や、複数のディレイ回路を用意し、それらの回路のうち、いくつか用いるかを外部から指定する方法などがある。

【0088】また、メモリコントローラとコネクタとを結ぶ配線において、クロック信号やデータ信号をコネクタに接続するとき、「行きの部分」のみや「帰りの部分（またはリターンの部分）」のみで接続するよりは、「行きの部分」と「帰りの部分（またはリターン部分）」とに分散して接続するのがよりよい。なぜならば、コネクタに接続による負荷を分散させることが出来、信号配線の実効インピーダンスの落ち込みを抑えることが出来るからである。

【0089】このインピーダンスの落ち込みを抑える効果として、以下のようなものがある。

【0090】(1) 出力回路の出力が切り替わった時、初めにメモリモジュールに伝わる信号振幅の落ち込みを抑えることができる。

【0091】特に、小振幅信号の場合、インピーダンスの落ち込みにより出力回路から出た第1波の信号振幅が少なくなり、その結果、入力信号のノイズマージンが少なくなり、時には誤動作を起こす原因となるのを防ぐ。

【0092】(2) 多様な用途に対する品質を向上させることが出来る。

【0093】メモリモジュールのように、ユーザの使い方によって、すべてのコネクタにモジュールをフル実装する場合や、一部のコネクタにモジュールを実装し、その他のコネクタを空き状態にする場合がある。このように、使われ方が変化する場合、すべての状態で性能を保証するためには、その装置の特性、この場合は配線の実効インピーダンスの変化量を少なくすることによって性能マージンが確保でき、品質を上げることが出来る。

【0094】これらの効果を最大限に生かせるコネクタとの接続方法は、図4に示したように、「行きの部分」と「帰りの部分（またはリターンの部分）」と交互に接続する方法である。

【0095】さらに、インピーダンスの落ち込みを抑える方法として、配線15、16または17のインピーダンスをモジュールのインピーダンスと比べ低い信号配線を用いいることがあげられる。例えば50Ω前後（たとえば40～60Ω）にする。

【0096】モジュールを実装することによって、実効的なインピーダンスは20～40Ωへと下がるが、この値は50Ωの配線であろうが75Ωの配線であろうが、ほぼ等しい値となる。すなわち、この場合、50Ωの配線を用いた方が、モジュールを実装する前後でのインピーダンスの差が小さくすることが出来る。

【0097】本実施例においては、4つの回路11～14が1つの回路ブロック32内にある例を示したが、本発明の適用範囲がその構成によって限定されるものではないのはいうまでもなく、これらの回路が複数の回路ブロックに分離されていてもよい。もっとも、性能や製造コストの面で優位なのは4つの回路が1つの回路ブロック32内にある構成である。

【0098】現状のメモリコントローラの構成を考えると、クロック信号を出力する出力回路のみ他の回路ブロックに分離するのも望ましい回路構成である。

【0099】また、本実施例では、メモリモジュールへのデータ書き込みと、メモリモジュールからのデータの読み出しの両方ともに適用した例を示したが、データ書き込みにだけ本願発明のクロック分配を用い、データ読み出しには、従来技術を適用することもできる。このような従来技術との折衷構成でもかまわないことや回路構成の代案例は以後の実施例でも同様である。

【0100】上記図4で示した実施例に対し、前述の配線15から17に終端抵抗を追加した例を図6に示す。図6中40～45は終端抵抗を表している。当然のことながら、終端抵抗は終端電源と接続している。

【0101】図6には両端終端の例を示しているが片端終端でもその効果はある。より効果的に終端を行うには両端終端をするのがよいが、信号の向きが片側のみである場合、例えば、制御信号線やアドレス信号線の場合、

10

20

30

40

50

片側終端であっても良い。そのとき、終端する場所は出力回路の反対側がよい。

【0102】終端抵抗の抵抗値は、伝送線路のインピーダンスで終端する例が多いが、より効果的にするには伝送線路の実効インピーダンス値で終端するのがよい。ただしこの値は厳密に合わせなくとも、 $\pm 20\Omega$ 程度のずれがあっても終端の効果はある。

【0103】図1に、分岐配線(15A、15B、16A、17A)と配線(15、16、17)との間に配線間のインピーダンスマッチングをとるためのマッチング抵抗(46、47、48、49)を挿入した例を示す。このマッチング抵抗は、配線15～17上の信号を低振幅化することと、配線間のインピーダンスのマッチングをとって配線の分岐点での信号の反射を押さえる目的で挿入される。

【0104】このマッチング抵抗については、本願出願人が先に特願平5-334631号(特開平7-202947号)、特願平7-26495号(特開平7-283836号)に詳述される。

【0105】この抵抗は分岐配線から主配線への信号伝搬において、分岐点での反射を抑える効果がある。この抵抗値は分岐配線(15A、15B、16A、17A)のインピーダンス値から配線(15、16、17)のインピーダンスの半分の値を引いた値に設定するのがよい。ただし、メモリモジュールが主配線上に実装されることで、主配線の実効インピーダンスが低くなる場合などは、主配線のインピーダンス値の代わりに主配線の実効インピーダンス値を用いると良い。

【0106】目安となるその抵抗値は先に求めた値の0.5から1.5倍程度の範囲であるのが望ましい。但し、2倍程度になっても低振幅化による高速化に効果がある。

【0107】このように図1に示すマッチング抵抗(46、47、48、49)を備えるものとしたときには、メモリモジュール側も図23、24、25に示すように抵抗を備えるものであることが望ましい。この抵抗もメモリモジュール内の配線とマザーボードの配線(15、16、17)とのインピーダンスマッチングをとり、配線15～17上の信号の低振幅化を実現する値のものが望ましい。この抵抗の抵抗値の決め方も前述のマッチング抵抗46～49と同様である。その時には、分岐配線をメモリモジュール内の配線として計算する。

【0108】次に、本発明の他の実施例(実施例2)を図5に示す。上述の実施例において明らかとしてきたことは、以下の実施例においても適用できるため、繰り返して記載しない。異なる点のみを明らかにする。

【0109】本実施例は、メモリコントローラから出力されるクロック信号を読み出し用のクロックと書き込み用クロックとに分離し、それぞれを同じクロック用配線15で読み出し時と書き込み時とでクロック信号の伝

る向きを変えて伝送する方式である。ここで書き込み用クロックの出力回路は11、読み出し用クロックの出力回路は11A、そして読み出したデータをメモリコントローラで取り込むクロックを受信する受信回路は13である。12、14はそれぞれデータを出力する回路12、受信する回路14である。

【0110】なお、図5では示していないが、出力回路11、11Aは両方が動作して使用することのないように、それぞれの出力を制御する論理回路をメモリコントローラ32に持つことが望まれる。

【0111】第1の実施例と同様に、クロック配線15において、出力回路11から(メモリコントローラから最も遠い)コネクタ34Fへ向かう部分を「行きの部分」、そして「行きの部分」の先、すなわちコネクタ34Fからコネクタ34Aへ向かう部分を「帰りの部分」、データ配線16において、出力回路12からコネクタ34Fに向かう部分を「行きの部分」、残りの部分(つまり、行きの部分の先にあるメモリモジュール側に戻ってくる部分)を「リターンの部分」とすれば、以下のルールを守ってコネクタを接続すれば良い。

【0112】(1)クロック配線を「行きの部分」でコネクタと接続した場合、

・データ用配線は「行きの部分」でコネクタと接続する。

【0113】(2)クロック配線を「帰りの部分」でコネクタと接続した場合、

・データ用配線は「リターンの部分」でコネクタと接続する。

【0114】こうすることで、第1番目に示した実施例と同等の効果を、データの信号配線を半分、すなわち書き込み専用配線と読み出し用配線の2組から、書き込み・読み出し共通の1組へと減らして出来る。

【0115】書き込み用クロック信号の出力回路の出力部と読み出し用クロックの入力回路の入力部とは回路ブロック(集積回路や部品)の内部または外部で接続すればよい。(図5では回路ブロック内で接続した例を示している)

また、第2の実施例は、メモリモジュール上に実装されているメモリLSIがI/O共通、すなわち入力回路、出力回路をともに持った入出力回路を持ったタイプに適用した例である。この実施例では使用するモジュール内の回路は第1の実施例の図21に対し、図26に示す構成となる。データ等を出力する出力回路51と受信する受信回路52が接続された形になっている。

【0116】図7は、第2の実施例においてメモリコントローラ32が配線15、16と分岐配線15A～16Aを介して接続するタイプ(第1の実施例の図6と同じタイプ)であり、図8は、分岐配線15A～16Aと配線15、16との間にマッチング抵抗46～48を介したタイプ(第1の実施例の図1と同じタイプ)である。

【0117】次に第3の実施例を説明する。上記第1、第2の実施例では、データ信号などの双方向の信号に対する実施例を示してきたが、アドレス信号、または制御信号などの単方向の伝送については、図9から図11に示すように、クロックがメモリコントローラに戻る経路を削除することによって容易に出来る。これは、データ信号でも書き込みだけ使用するラインにのみも適用できる。

【0118】ただ、この場合、データ用クロックとその他の信号用クロックの2種類のクロックが各メモリモジュールに供給されることになるが、データ用クロック回路を用いて、アドレス信号や制御信号を取り込んでもよい。このとき、第2の実施例のように2つのクロックがある場合、書き込み専用クロックを用いてアドレス信号、制御信号をSDRAMで取り込めば良い。なお、このときのメモリモジュール内の回路は第1の実施例における図21に対し、図27に示すタイプになる。

【0119】図12には第2の実施例の応用として第4の実施例を示す。1/O共通のメモリコントローラを用いたときに、クロック信号を第1の実施例と同じように単方向のみで伝搬することを許す方法を提供する。

【0120】すなわち、クロック信号を出力回路11から出力し、書き込みデータ信号を出力回路12より出力する。このとき、スイッチ90は入出力回路（図では出力回路12と入力回路14とに分けてある）と伝送線路16Aとを接続する。このようにすることで、クロック信号とデータ信号をメモリコントローラ32からコネクタ34A～34Fまでをそれぞれほぼ等しい配線長を経由して、コネクタ上のメモリモジュールに伝えることができる。

【0121】また、読み出し時にはスイッチ90は入出力回路と伝送線路16Bとを接続し、16Bから伝わってきたデータを、15Bから送られてきたクロックによってラッチする。こうすることで、第1の実施例で示したクロック制御方式を用いて、1/O共通のデータ線を持った回路に適用することが出来る。

【0122】いままで示してきた実施例1～4において、データを取り込むクロックはメモリコントローラ内部のクロックとは一般に位相が異なる。すなわち、読み出しデータをさらに、メモリコントローラ内で使うには、ふたたびメモリコントローラ内のクロックによって制御出来るように、クロックの乗り換え（ここではリターンクロックから内部クロックへの乗り換え）をする必要がある。そこで、リタイミング回路、たとえばFIFO（First-in First-out）回路を入力回路14の先につけておくとよい。また、配線15を伝搬してきたクロックと内部クロックとの位相のずれの大きさをもとに、メモリコントローラが内部クロックのどのサイクルでラッチすればよいかを判定する手段をもってもよい。

【0123】また、配線長、ディレイ回路などを用い

て、出力するクロックと戻ってくるクロックとの位相を合わせるにより、データの取り込みが容易になる。

【0124】図35は前記したリタイミング回路の一実施例をメモリコントローラ32に備えた例を示したものである。リタイミング回路は、少なくとも、Dタイプのラッチ回路25A、フリップフロップ回路25Bとから構成される。Dタイプのラッチ回路25Aは入力されるクロックがHigh（またはLow）のときに入力されたデータを通し、Low（またはHigh）に切り替わった時のデータを、クロックが再びHigh（またはLow）になるまで保持する機能を持っている。

【0125】Dタイプのラッチ回路25Aには、リターンクロック、 $2\phi'$ の正論理、または不論理がクロックとして入力され、またフリップフロップ回路25Bにはメモリコントローラ32の内部クロック、 2ϕ の正論理、または負論理がクロックとして入力される。

【0126】これらのクロックのいずれを使うかは、メモリコントローラ32内部のクロック 2ϕ と戻ってきたクロック $2\phi'$ の位相差の大きさによって、一意的に選択される。

【0127】例えば、 2ϕ と $2\phi'$ との位相差の大きさがちょうど半位相分ずれている場合、そのズレを補正するために、Dタイプのラッチ回路25Aには $2\phi'$ の負論理のクロックが入力され、フリップフロップ回路25Bには 2ϕ の正論理のクロックが入力される。

【0128】また、 2ϕ と $2\phi'$ との位相差の大きさがちょうど合っている場合、Dタイプのラッチ回路25Aには $2\phi'$ の正論理のクロックが入力され、フリップフロップ回路25Bには 2ϕ の正論理のクロックが入力される。

【0129】また、別の実施例としては、それぞれの位相が合う場合は、フリップフロップ回路25Bが不要となるので、25Aの出力を直接、メモリコントローラ内部へ伝えても良い。

【0130】メモリモジュールのそれぞれにメモリコントローラ32から出力されるクロックの他にメモリモジュールの動作のクロックが別配線で供給されている場合には、上述したリタイミング回路をメモリモジュール側に持ってもよい。

【0131】図36は図35で示したリタイミング回路を図12の回路に適用した一実施例を示している。また、図36ではクロック ϕ をメモリコントローラからではなく、コネクタ34Aの手前のクロック分配回路から出力している例を示している。図1で示したクロックの供給の仕方、すなわちクロック ϕ をメモリコントローラから供給してもよいが、一般にメモリコントローラのクロックアクセス時間は、メモリLSIのクロックアクセス時間と比べ早い。そのため、書き込みに比べ、読み出しが厳しくなる。このため、クロックの出力回路をメモリコントローラ内からコネクタ34Aの手前に移動し、

10

20

30

40

50

クロックの位相を前に持ってきて、書き込みと読みだしとにかかる時間を合わせている。

【0132】なお、本実施例は図12に示す第2の実施例を例に示したが、他の実施例にも適用できるのはいうまでもない。また、図36では分周回路71付きPLL (Phase Locked Loop) 70 (A) はメモリコントローラの外にある例を示している。クロック信号発信回路360からクロック分配回路361等を経て供給されるクロック信号を分周する。このPLL 70 (A) はメモリコントローラの内部にあってもよいのはいうまでもない。

【0133】さらに、本発明の第5の実施例を図37に示す。本実施例では、2つのコネクタ列34A~34F、34G~34Mに渡り、伝送線路15、16がレイアウトされている。

【0134】上記で示してきた実施例では、「行きの配線」上で接続されるコネクタ列と、「帰りの配線」上で接続されるコネクタ列とは同じである例を示したが、本実施例では、「行きの配線」上で接続されるコネクタ列（図の例では34A~34F）と「帰りの配線」上で接続されるコネクタ列（図の例では34G~34M）とが異なっている。このことによって、コネクタ下にレイアウトされる伝送線路の本数は、半分（「行きの配線」と「帰りの配線」から、「行きの配線」または「帰りの配線」のいずれかの配線）になり、レイアウトが容易になったり、基板の信号配線の層数を減らすことが出来る。

【0135】また、図37には、伝送線路15、16は全てのコネクタと接続された例を示したが、一部のコネクタ、例えばコネクタ1つおきに接続しても良い。

【0136】当然ながら、図37以前で示してきた図においても、「行きの配線」または「帰りの配線」の何れかにコネクタが接続されているが、どちらの配線とも接続されていないコネクタがあってもよい。たとえば、配線を平行して2本レイアウトし、偶数番目のコネクタ、つまり34B、34D、・・・、34Fと接続する配線と、奇数番目のコネクタ、つまり34A、34D、・・・、34Eと接続する配線とに分けても良い。

【0137】さらに、図37で示した実施例は図36、さらには図36のもとになった図12で示す実施例でも適用できるのはいうまでもなく、他の実施例でも適用できる。

【0138】次に第6の実施例について説明する。第1~第5の実施例ではメモリコントローラ32側でメモリモジュール30読み出したデータを受け取る時は、メモリコントローラ32が出力し配線15を通して受信したクロック信号と同期して受け取っていた。第6の実施例ではメモリモジュールが出力したデータを受け取るタイミングをとるためのトリガーとなる信号をデータを出すメモリモジュール側が発する構成としている。以下詳細を説明する。

【0139】図46に第6の実施例を示す。

【0140】メモリコントローラ161にはクロック出力回路171、クロック同期型の出力回路172と入力回路181とこの入力回路181によって取り込んだ信号と同期する入力回路182がある。

【0141】出力回路172、入力回路182はデータ用の回路である。

【0142】また伝送線路114~117は、メモリコントローラをモジュール化した場合やマザーボード上のレイアウトによっては引かれる配線であって、必ずしも存在するとは限らないし、またこの配線の有無によって本発明が制限されることはない。

【0143】以下の実施例では、これら4つの回路が1つの回路ブロックで構成されている例を示すが、これらの回路が複数の回路ブロックに分離されていてもよい。

【0144】また、配線110はメモリコントローラ161から出力された信号が、コネクタ140~145上に実装された各メモリモジュール上で取り込むために必要なクロックで、メモリコントローラ161から出力される信号のための配線である。

【0145】また、配線111はメモリモジュール上のメモリから読み出されたデータをメモリコントローラで取り込むために必要なトリガ信号（リターンクロック）を伝送するための配線で、このトリガ信号は読み出したメモリから出力される。

【0146】このトリガ信号は、メモリコントローラから出力されるクロックとは異なり、読み出しデータ1つに対し、1パルスのみ出力される。

【0147】さらに、このトリガ信号は読み出しデータがメモリコントローラ側で取り込めるように、例えばメモリコントローラのセットアップ時間以上、データより遅れるのが望ましい。さらにメモリコントローラのホールド時間を満たすためには、トリガ信号が出てから、メモリコントローラのホールド時間より長く、メモリの出力はデータを保持しておくのが望ましい。

【0148】また、図46では、メモリ回路におけるクロック信号とデータ信号とをそれぞれ1本づつ着目し、その他の回路をすべて省略しているため、これらの入力回路および出力回路はそれぞれ1組のみ示しているが、その数は本発明を制限するものではないのもいうまでもない。

【0149】黒丸（・）で示したところでそれぞれの配線とコネクタとが接続されている。

【0150】すなわち、図46の例では、メモリコントローラから出力されたクロック信号は信号伝送線路110上をコネクタ140、142、・・・、141と伝わる。データ書き込み用信号配線112も、クロック用配線と同様順序でコネクタと接続する。

【0151】そして、データ読み出し用配線113とメモリから出力されるトリガ信号用配線111は、データ書き込み用データとは逆の順序で、コネクタと接続す

10

20

30

40

50

る。すなわち、データ書き込み配線をメモリコントローラから、141、143、・・・、140と各コネクタに接続する。

【0152】こうすることで、データ書き込み時の伝搬時間と読み出し時の伝搬時間との和が、メモリモジュールの位置にかかわらず、揃うことになる。

【0153】このとき、これらのクロック信号用配線、トリガ信号用配線とデータ書き込み用配線、または読み出し配線それぞれの伝搬時間を揃うように設計することが望ましい。

【0154】メモリモジュールのささっていないコネクタがある場合にはメモリモジュールと同等の負荷をダミーで実装することで、実装枚数の変動による実効インピーダンスの変化を抑える方法もある。

【0155】図46では両端終端の1実施例を示したが、図47に示すように配線110、112のように、信号が片方向のみ伝搬する信号については、片側終端でもよい。これによって部品の搭載すうを削減でき、消費電流を低減する事が出来る。また、配線114～117の長さが十分に短いとき、例えばこれらの配線における伝搬時間が信号波形の立ち上がり時間または立ち下がり時間の約1/6以下の場合、抵抗150～153を取り除くことも可能である。ただし、この場合、バス110における信号振幅が大きくなるため、出力回路から出る信号振幅そのものを低振幅化するなどの見直しをするのが望ましい。この例が図48である。

【0156】さらに、出願人が特願平5-334631号(特開平7-202947号)にて明らかにした小振幅回路に本回路を適用することもできる。すなわち、抵抗150～153は分岐配線114～117から主配線110への信号伝搬において、分岐点での反射を抑える効果がある。この抵抗値は分岐配線のインピーダンス値から主配線のインピーダンスを引いた値に設定するのがよい。ただし、メモリモジュールが主配線上に実装されることで、主配線の実効インピーダンスが低くなる場合などは、先の値にくらべ小さな値を用いるとよい。

【0157】目安となるその抵抗値は先に求めた値の0.5から1.5倍程度の範囲であるのが望ましい。

【0158】次に第7の実施例を以下に示す。なお、上述の実施例において明らかとしてきたことは、以下の実施例においても適用できるため、繰り返し記載しない。異なる点を明らかにする。

【0159】第6の実施例では、メモリコントローラ161、メモリモジュール162の入出力回路とが分離された場合の例を示したが、図49はメモリコントローラ161、メモリモジュール162に入出力回路が採用された場合の1実施例を示している。入出力回路とは例えば、図示しているメモリコントローラを用いて説明すると出力回路172の出力部と入力回路182の入力部とが回路ブロック161(例えば集積回路)内で

接続され、回路ブロックの端子としては分離されず共通の1つの端子となっている回路のことである。

【0160】この場合、スイッチ190が挿入され、スイッチは、データの書き込み時には回路ブロック伝送線路161側へ、データの読み出し時には伝送線路117側へと接続される。

【0161】これによって、先に示した第1の実施例と同等の効果を入出力回路を持ったシステムに適用することが出来る。図50は図47と同様、図49の回路を片側終端した場合の1例、図51は図48と同様、挿入抵抗を削除した例である。

【0162】図53、54で示す回路図は、メモリモジュール内のメモリ1チップに注目して示した図で、図53は図46で示した実施例に適用されるモジュールの回路図で、入力回路181はクロック入力用、出力回路171はリターンクロックとなるトリガ信号を出力する回路、出力回路172は読み出しデータを出力する回路、入力回路182は書き込みデータを入力するための回路である。図54はデータ信号を入出力回路によって出力、入力する場合の回路例である。

【0163】なお、クロック信号を入力する入力回路181は一般に1チップについて1つあって、この回路で入力したクロックで、書き込みデータや制御信号、アドレス信号を取り込む。

【0164】図52に示した別の実施例は、「行きの配線」と「帰りの配線」とを別のコネクタ列に通した例である。こうすることで、「行きの配線」と「帰りの配線」とを基板配線上、同一層でレイアウトする事が出来、基板層数を増やすことなく、本発明を実現することができる。

【0165】図55に示した回路図は本発明におけるメモリコントローラのクロック信号およびデータ信号の入出力回路、入力回路を詳細に示した回路図である。

【0166】フリップフロップ191D、191Sは内部クロックに同期して動作し、フリップフロップ191Lには入力回路181で受信したメモリからのトリガ信号に同期して動作する。

【0167】これによって、メモリコントローラから出力される書き込みデータは、チップ内部のクロックと同期して出力され、メモリから読み出したデータはトリガ信号によってセットアップおよびホールド時間を確保したまま受信をし、次段のフリップフロップによって内部のクロックにリタイミングされる(位相を内部のクロックに合わせる)。

【0168】こうすることで、メモリコントローラからプロセッサバスへの信号のやりとりを内部クロックと位相を合わせて行うことが出来る。

【0169】なお、本実施例では、リタイミングのために使用したフリップフロップ191Sは1段の例を示したが、段数は1段に制限されることは当然なく、さらに

この場合、フリップフロップに入力されるクロックの位相は内部クロックとトリガ信号それぞれの位相の間をとったり、さらには内部クロックの通倍クロックを用いて、複数段で行うことによっても実現できる。

【0170】次に、本発明におけるクロック信号の伝送の改良について述べる。前述の実施例において、クロック信号はデータ信号と同様の負荷のもとで、動作することになる。しかし、例えば、100MHzのデータ転送を行うためには、クロックの周期は10ns（周波数は100MHz）、データの周期は20ns（周期は50MHz）とデータ信号に比べ、クロック信号は倍の周波数で動かさなければならない。そこで、より本発明でクロックを安定して供給する方法を以下に示す。

【0171】まず、クロックの周波数（周期）をデータなどの信号と同じにする。そして、モジュール内、またはメモリLSI内でこの入力されたクロックの2通倍のクロックを生成し、この生成されたクロックに同期して、SDRAMの信号の取り込み、出力を制御する。

【0172】同様の機能はメモリコントローラ側にも持たせる。

【0173】また、2通倍の方法であるが、dutyを50%前後に安定させるには、PLLを用いて1度、4倍し、そのあと2分周してにして2倍に戻すのがよい。一般には、Nを自然数として、2(N+1)通倍し、N+1分周をすればよい。

【0174】これらのことを示したのが、図28から図34である。

【0175】図28では、クロック2φを分周回路71付きPLL(Phase Locked Loop)70を用いて0.5倍の周波数のクロックφを作り、そのクロックを出力回路11を用いて、メモリコントローラ32より、出力する。されに、もとのクロック2φと同期して、出力回路12から信号を出力する。

【0176】図29は、分周回路71付きPLL(Phase Locked Loop)70が出力回路11の先にある場合の一実施例を示している。この方法によって、分周回路71付きPLL(Phase Locked Loop)70を持たないメモリコントローラ32にも本発明を適用できる。

【0177】図30では、受信回路13で受けたクロックφ'を分周回路71付きPLL(Phase Locked Loop)70を用いて2倍の周波数のクロック2φ'を作り、そのクロック2φ'を用いて、受信回路14で受信した信号をフリップフロップ25でラッチする。ここで、ラッチするクロックは2φ'であって、メモリコントローラ内部に供給されているクロック2φではない。2φと2φ'とは周波数は等しいが、2φ'は、メモリコントローラから出て再び戻って来たクロック、φ'から生成されたクロックであって、一般に位相が違ふ。

【0178】図31は、分周回路71付きPLL(Phase Locked Loop)70が受信回路13の手前にある場合の

一実施例を示している。この方法によって、分周回路71付きPLL(Phase Locked Loop)70を持たないメモリコントローラにも本発明を適用できる。

【0179】図32はクロック出力回路と入出力回路の一実施例を示している。内部クロック2φの半分の周波数のクロックφを分周回路71付きPLL(Phase Locked Loop)70によって作り出し、そのクロックを出力回路11によって、メモリコントローラより出力する。また、メモリコントローラへもどって来たクロックφ'を入力回路13で受け、分周回路71付きPLL(Phase Locked Loop)70によって2倍の周波数のクロック2φ'を作る。出力回路12より出力されるデータはクロック2φと同期して出力され、受信回路14によって受信されるデータはクロック2φ'に同期して受信される。

【0180】図33は図31と同様、分周回路71付きPLL(Phase Locked Loop)70が出力回路11の先、入力回路13の手前にそれぞれある場合の一実施例である。

【0181】図34はメモリモジュールに、分周回路71付きPLL(Phase Locked Loop)70を用いた場合の一実施例を示す。メモリバス上を伝わってきたφ'を同期型メモリ31、例えばSDRAMのクロックピンに供給するには、メモリコントローラ側で周波数を半分にしたクロックをもとに戻すため、分周回路71付きPLL(Phase Locked Loop)70を用いて、周波数を2倍にし、クロック2φ'を作り、それをメモリ31に供給する。

【0182】図32、図33で示した例では、受信回路と出力回路の両方を持ったI/O回路タイプのメモリコントローラの例を示したが、図38および図39では、受信回路と出力回路とが別々の端子をもったI/O分離型のメモリコントローラに適用される。図38と図39との違いは、図32、図33との違い同様、PLL回路がメモリコントローラの内部にある場合と外部にある場合の違いである。

【0183】さらに、I/O分離型のメモリモジュールに対しては図40に示すメモリモジュールが提供される。これはI/O回路タイプの図34に対するI/O分離型の応用例である。

【0184】また、本発明は、レジスタタイプのバッファを持ったメモリモジュール（図42）、単なるバッファ（中間バッファとして使用し、ラッチはしないタイプのバッファで、スルータイプ、バスドライバともいう）を持ったメモリモジュール（図43）にも適用できる。

【0185】また、いままで明らかにしてきた本発明の実施例に対し、メモリモジュール側にも抵抗を挿入した場合も本発明は当然、有効である。この抵抗によって、小振幅化をはかるのはもちろん、インピーダンス整合をとることができ、反射ノイズを防止できる。

10

20

30

40

50

【0186】図41は図40に抵抗を追加した一実施例、図44、45はそれぞれ図42、43に抵抗を追加した一実施例である。

【0187】図13～図14は、本発明の1実施例が実現されたボードの状態を示す。図13はメモリコントローラ32がマザーボードに直接実装され、メモリIC（SDRAM）31がドーターボードに実装されたメモリモジュール30がコネクタ34を介してマザーボードに実装されている状態を示す。

【0188】図14は、メモリコントローラ32をドーターボードに実装してモジュール化した例である。また、図15、図16はメモリIC31をコネクタを介さずに直接マザーボードに実装した例を示す。

【0189】上述してきたいくつかの実施例は、キャッシュメモリとプロセッサとの接続にも使用出来る。さらに、図17に示すように、ワークステーションやパソコンでは、プロセッサバス、メモリバス、周辺バスなど、さまざまなバスがある。本発明ではメモリモジュールとメモリモジュールとの接続を例にとり示したが、本発明はメモリバスに限らず、その他のバスにおいても、またはコネクタの使用の有無、モジュール化の有無に関係なく有効であることはいうまでもない。さらに、ボード実装でなくとも、複数のLSIを1つのパッケージ内に納めるマルチモジュールにも適用できる。

【0190】

【発明の効果】本発明により、メモリシステムのように、信号伝搬時間が大きくしかもモジュールの位置による遅延時間の違いがあるシステムにおいても高速な信号転送が可能な設計が行えるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の応用例についての、メモリコントローラとメモリモジュールとの接続関係及び配線パターンを示す図。

【図2】従来の単相クロックシステム方式の信号伝送装置を示す図。

【図3】従来のメモリシステムの実装構造及び回路を示す図。

【図4】本発明の第1の実施例についてのメモリコントローラとメモリモジュールとの接続関係及び配線パターンを示す図。

【図5】本発明の第2の実施例についての、メモリコントローラとメモリモジュールとの接続関係及び配線パターンを示す。本発明を入出力共通型回路に適用した場合に、クロック信号の向きを読み出し時と書き込み時とで反転させる例を示す図である。

【図6】本発明の第1の実施例の応用例のメモリコントローラとメモリモジュールとの接続関係及び配線パターンを示す図。

【図7】本発明の第2の実施例の応用例についての、メモリコントローラとメモリモジュールとの接続関係及び

配線パターンを示す図。

【図8】本発明の第2の実施例の応用例についての、メモリコントローラとメモリモジュールとの接続関係及び配線パターンを示す図。

【図9】本発明の第3の実施例についてのメモリコントローラとメモリモジュールとの接続関係及び配線パターンを示す。単方向の信号伝送に適用した例を示す図。

【図10】本発明の第3の実施例の応用例についてのメモリコントローラとメモリモジュールとの接続関係及び配線パターンを示す図。

【図11】本発明の第3の実施例の応用例についてのメモリコントローラとメモリモジュールとの接続関係及び配線パターンを示す図。

【図12】本発明の第4の実施例のメモリコントローラとメモリモジュールとの接続関係及び配線パターンを示す図。

【図13】本発明をメモリシステムに適用した場合の実装構造を示す図。

【図14】本発明をメモリシステムに適用した場合の実装構造を示す図。

【図15】本発明をメモリシステムに適用した場合の実装構造を示す図。

【図16】本発明をメモリシステムに適用した場合の実装構造を示す図。

【図17】情報処理システムのブロック構成図。

【図18】メモリモジュールの外形を示す図。

【図19】メモリモジュール上のデータ信号配線を示す図。

【図20】メモリモジュール上のアドレス・制御・クロック信号配線を示す図。

【図21】メモリモジュール上の入出力分離型のSDRAM回路を示す図。

【図22】メモリモジュール上のアドレス・制御・クロック信号配線にバッファ回路を挿入した場合の信号接続を示す図。

【図23】メモリモジュール上のデータ信号配線に抵抗を挿入した場合の信号接続を示す図。

【図24】メモリモジュール上のアドレス・制御・クロック信号配線に抵抗を挿入した場合の信号接続を示す図。

【図25】メモリモジュール上のアドレス・制御・クロック信号配線にバッファ回路・抵抗を挿入した場合の信号接続を示す図。

【図26】メモリモジュール上の入出力共通型SDRAM回路を示す図。

【図27】メモリモジュール上にあるSDRAMのアドレス・制御・クロック信号入力回路を示す図。

【図28】PLL回路がメモリコントローラ内部にあるメモリコントローラのクロック出力回路を示す図。

【図29】PLL回路がメモリコントローラ外部にある

メモリコントローラのクロック出力回路を示す図。

【図30】PLL回路がメモリコントローラ内部にあるメモリコントローラのクロック入力回路を示す図。

【図31】PLL回路がメモリコントローラ外部にあるメモリコントローラのクロック入力回路を示す図。

【図32】PLL回路がメモリコントローラ内部にある入出力共通型メモリコントローラを示す図。

【図33】PLL回路がメモリコントローラ外部にある入出力共通型メモリコントローラを示す図。

【図34】PLL回路を持ったメモリモジュールにおけるクロック入力を示す図。

【図35】リタイミング回路を備えたメモリコントローラを示す図。

【図36】本発明のリタイミング回路を用いた本発明のメモリシステムを示す図。

【図37】本発明の第5の実施例を示す図。

【図38】PLL回路がメモリコントローラ内部にある入出力分離型メモリコントローラのクロック出力回路を示す図。

【図39】PLL回路がメモリコントローラ外部にある入出力分離型メモリコントローラのクロック出力回路を示す図。

【図40】入出力分離型SDRAM回路を持ったメモリモジュールにおけるクロック入力を示す図。

【図41】挿入抵抗と入出力分離型SDRAM回路を持ったメモリモジュールにおけるクロック入力を示す図。

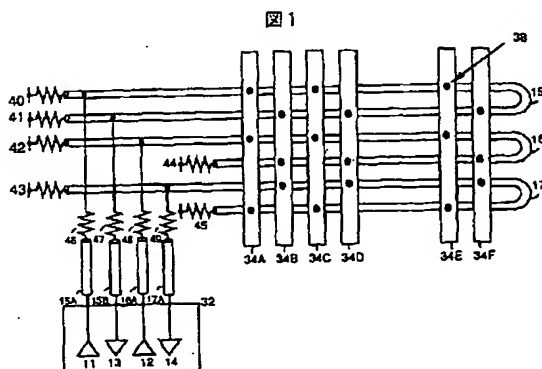
【図42】レジスタタイプのバッファ回路と入出力共通型SDRAM回路を持ったメモリモジュールを示す図。

【図43】スルータイプのバッファ回路と入出力共通型SDRAM回路を持ったメモリモジュールを示す図。

【図44】挿入抵抗とスルータイプのバッファ回路と入出力共通型SDRAM回路を持ったメモリモジュールを示す図。

【図45】挿入抵抗とレジスタタイプのバッファ回路と入出力共通型SDRAM回路を持ったメモリモジュール

【図1】



を示す図。

【図46】本発明の第6の実施例を示す図。

【図47】本発明の第6の実施例の変形例を示す。片側終端のバス構成を示す図。

【図48】本発明の第6の実施例の変形例を示す図。

【図49】本発明の第7の実施例を示す図。

【図50】第4の実施例の変形例を示す図。

【図51】第4の実施例の変形例を示す図。

【図52】リタイミング回路を示す図。

【図53】第6の実施例に接続されるメモリモジュール回路の一実施例を示す図。

【図54】第7の実施例に接続されるメモリモジュール回路の一実施例を示す図。

【図55】本発明の第8の実施例を示す図。

【符号の説明】

11、11A、12、26・・・出力回路、13、14、27・・・受信回路

24、25・・・フリップフロップ

25A・・・Dタイプラッチ回路、25B・・・フリップフロップ回路

15～17、15A～15D、23、35、37・・・伝送線路

21、22・・・回路ブロック

30・・・メモリモジュール、31・・・メモリLSI、32・・・メモリコントローラ

33・・・マザーボード、34・・・コネクタ、36・・・モジュールの接点部

38・・・伝送線路とコネクタの接点を表すマーク

40～45・・・終端抵抗（終端電源も含む）

46～49・・・マッチング抵抗

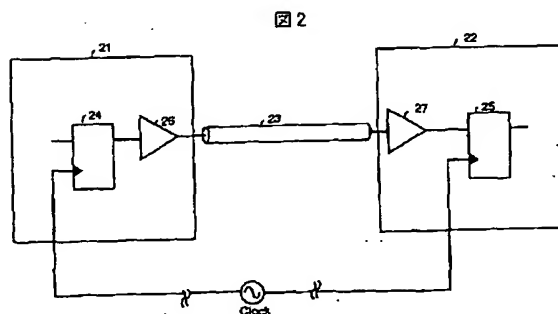
60・・・抵抗

61・・・バッファ回路

70・・・PLL回路 71・・・分周回路

90・・・スイッチ回路

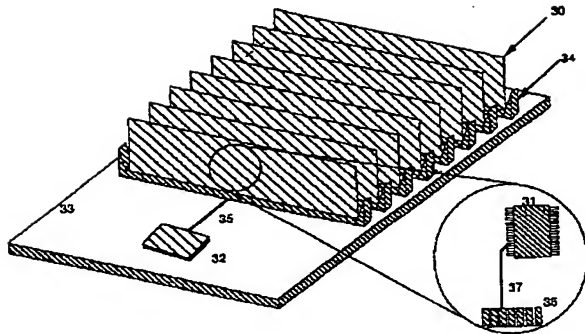
【図2】



PRIOR ART

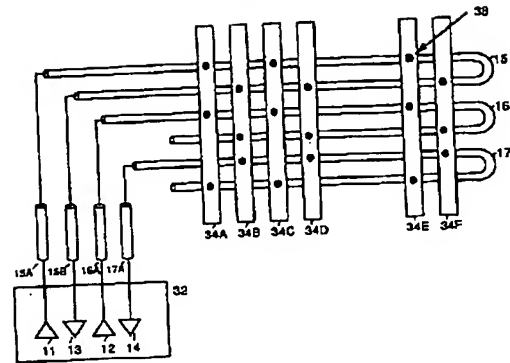
【図3】

図3



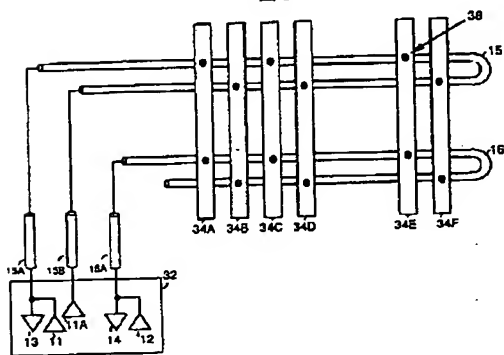
【図4】

図4



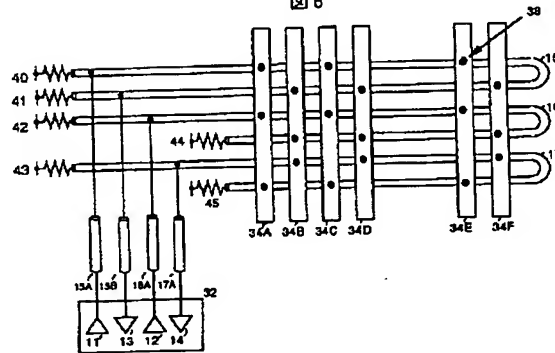
【図5】

図5



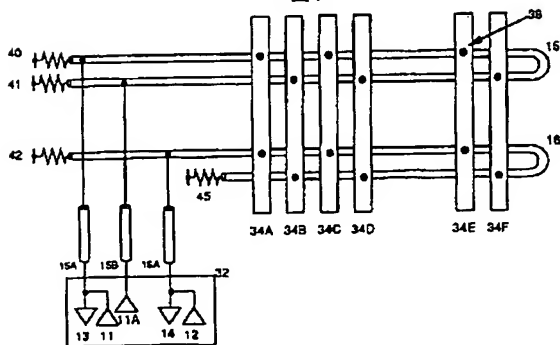
【図6】

図6



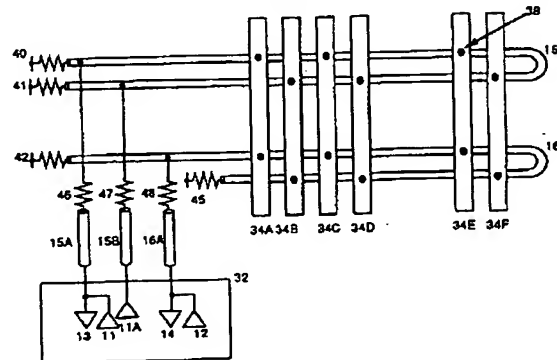
【図7】

図7

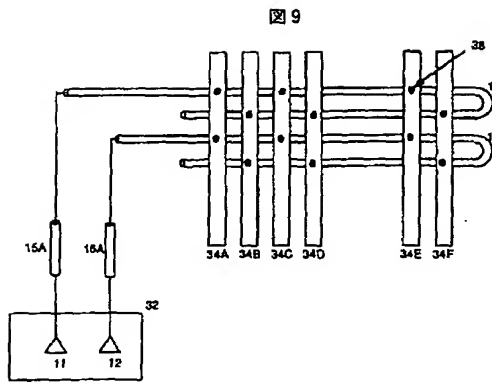


【図8】

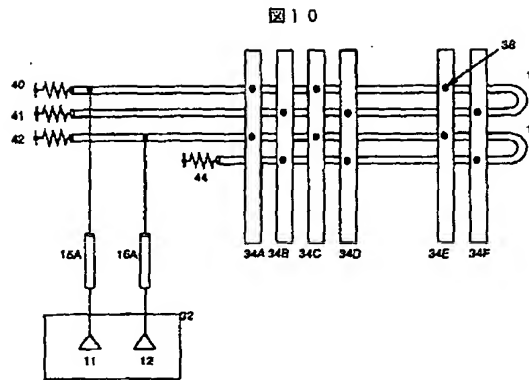
図8



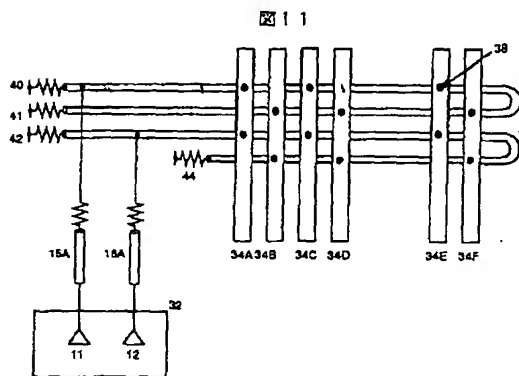
【図9】



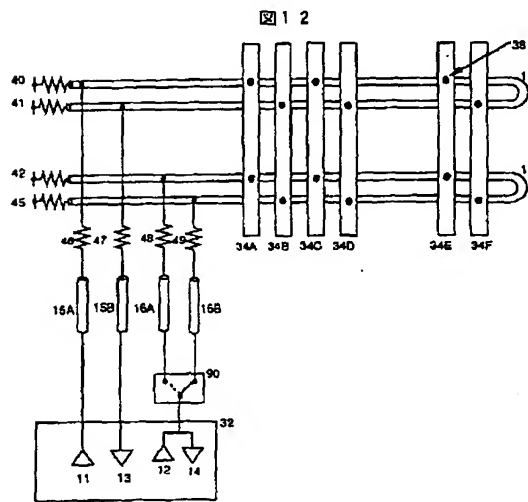
【図10】



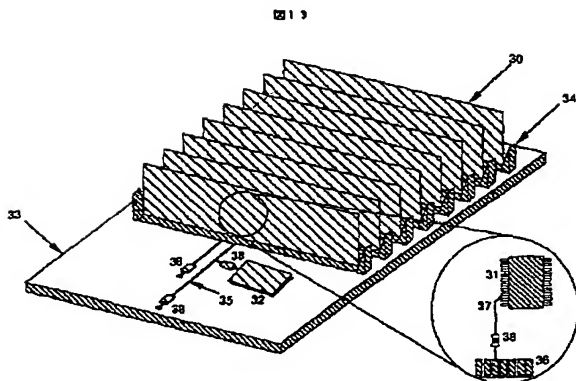
【図11】



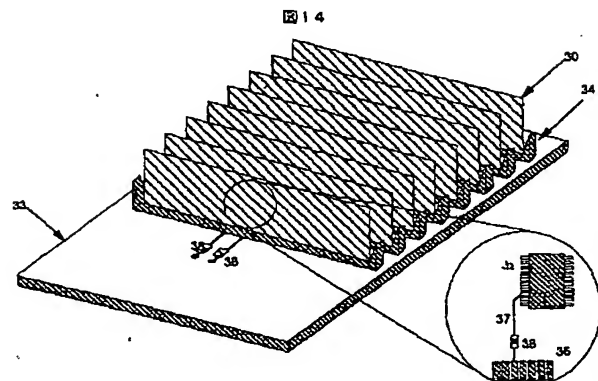
【図12】



【図13】

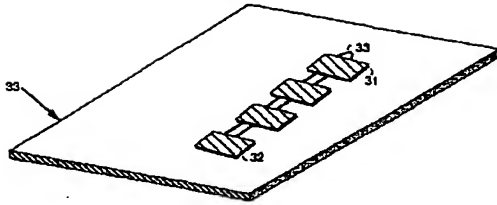


【図14】



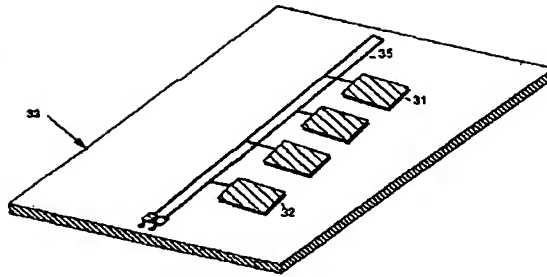
【図15】

図15



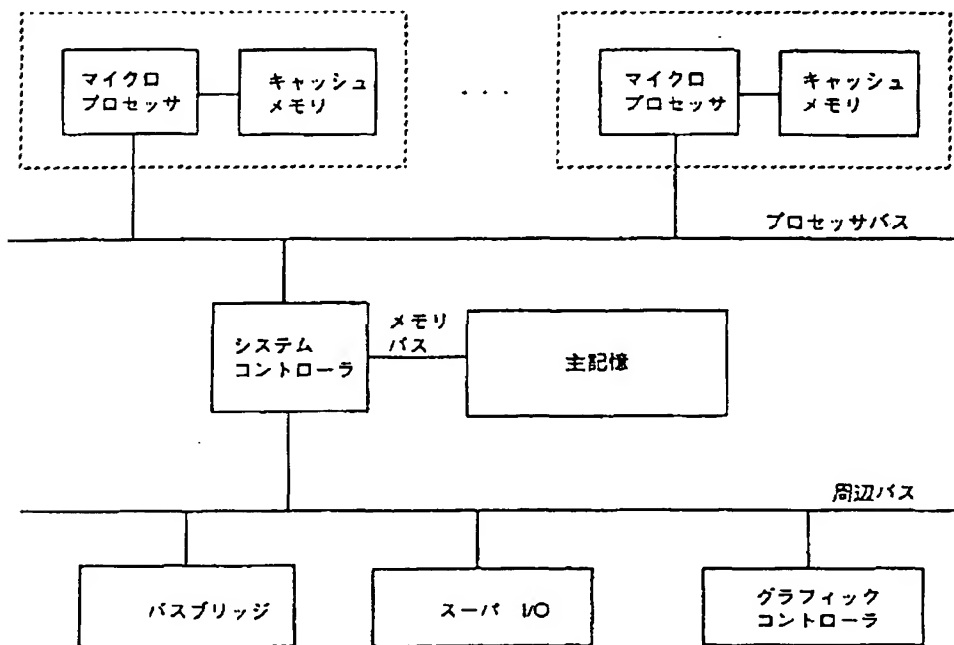
【図16】

図16



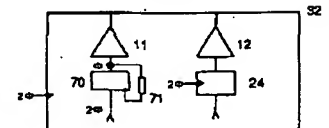
【図17】

図17



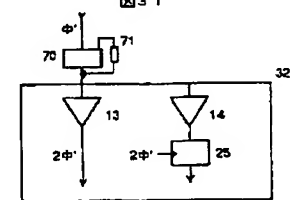
【図28】

図28



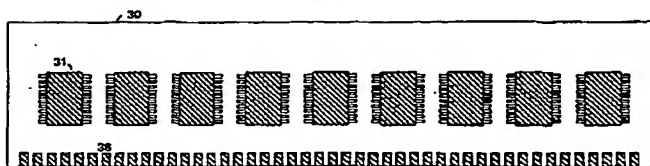
【図31】

図31



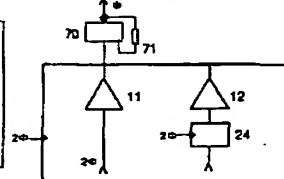
【図18】

図18



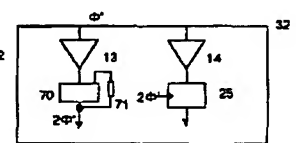
【図29】

図29

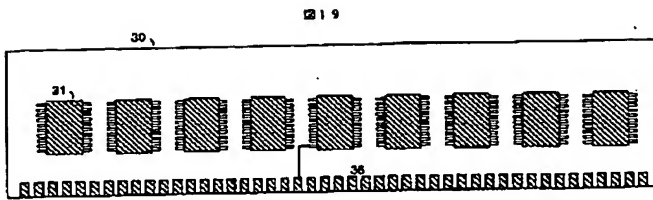


【図30】

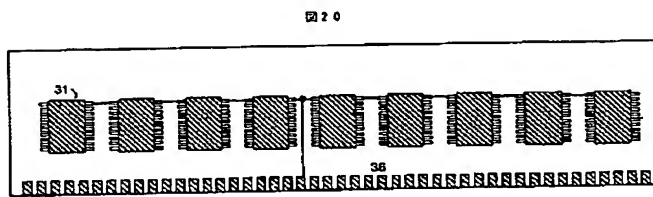
図30



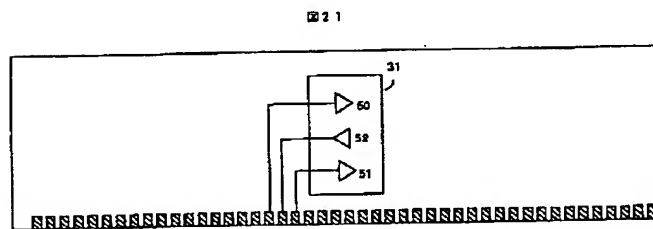
【図 19】



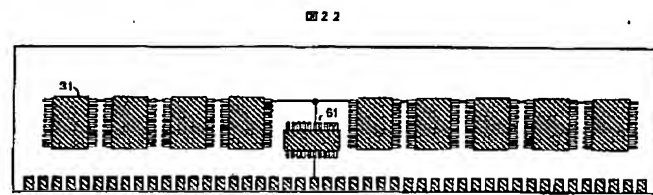
【図 20】



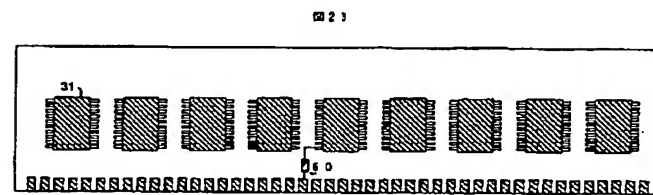
【図 21】



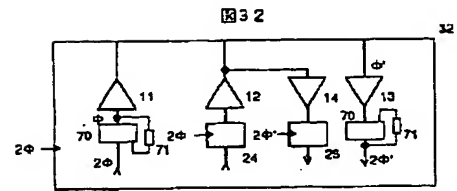
【図 22】



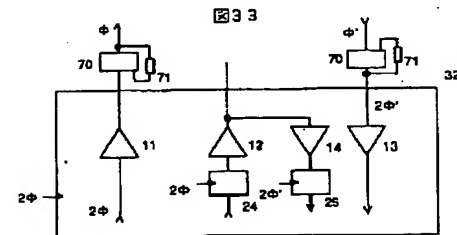
【図 23】



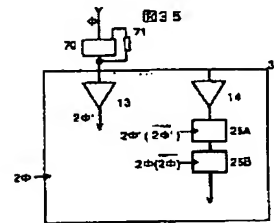
【図 32】



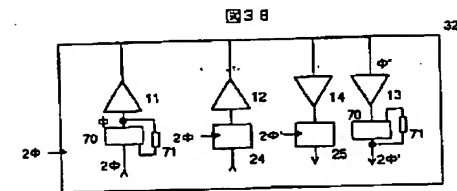
【図 33】



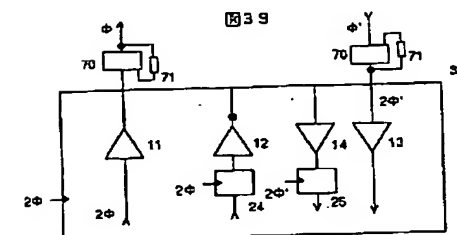
【図 35】



【図 38】

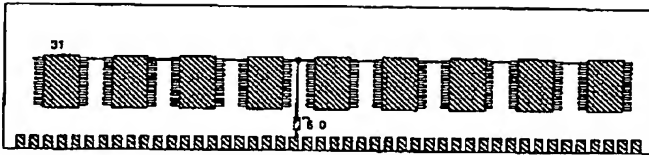


【図 39】



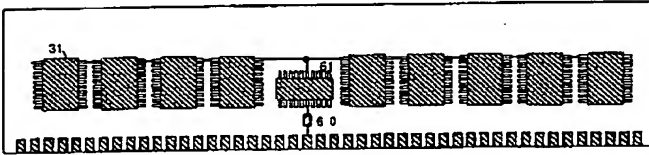
【図 24】

図 24



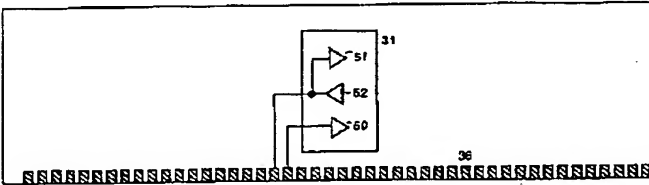
【図 25】

図 25



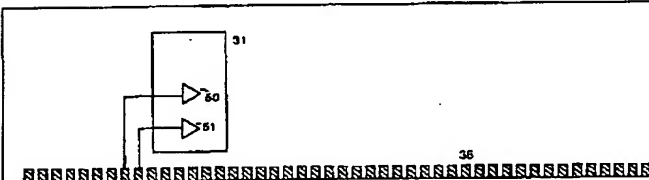
【図 26】

図 26



【図 27】

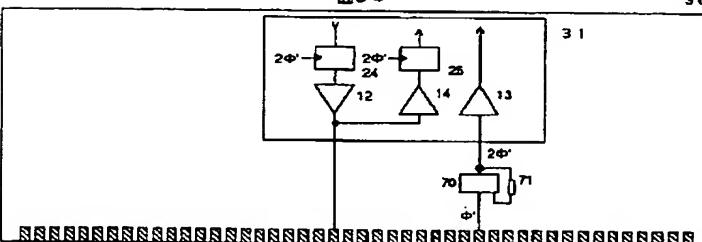
図 27



【図 34】

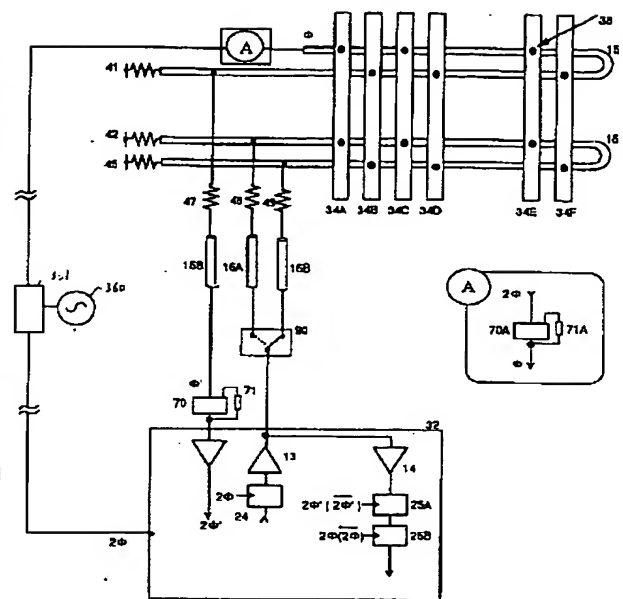
図 34

30



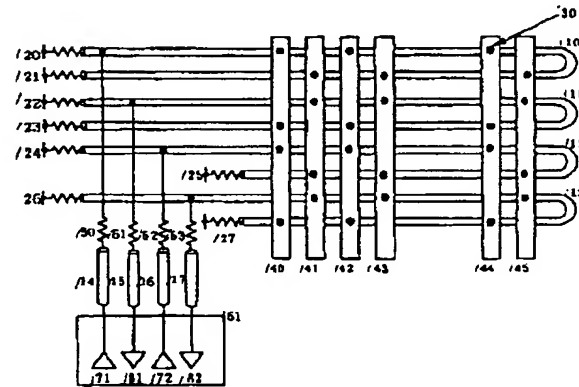
【図 36】

図 36



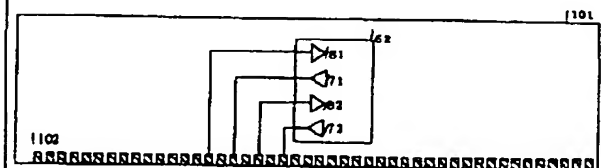
【図 46】

図 46

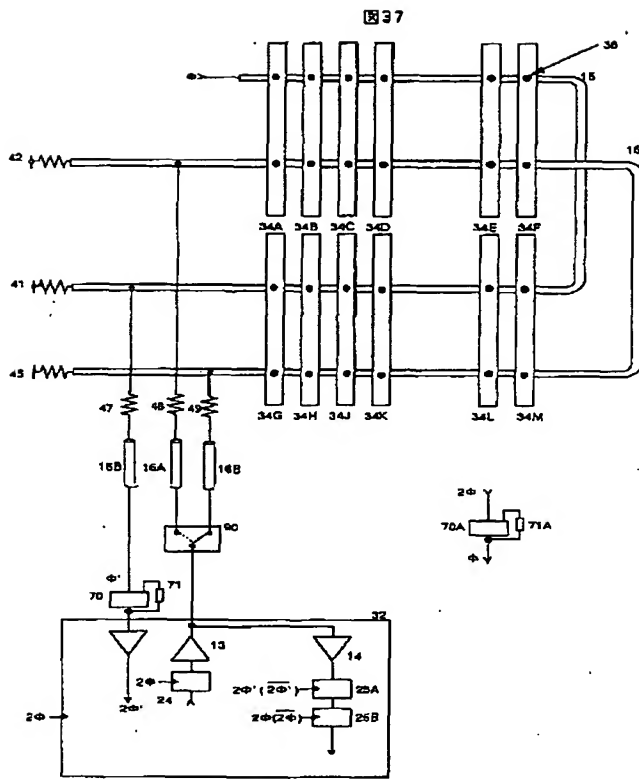


【図 53】

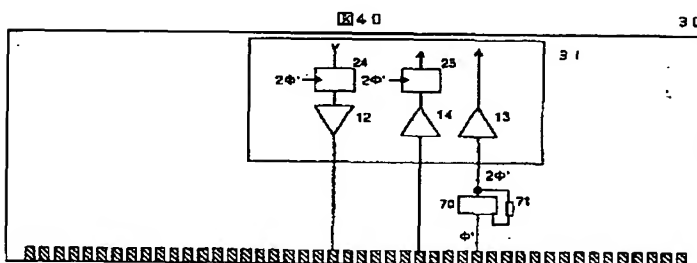
図 53



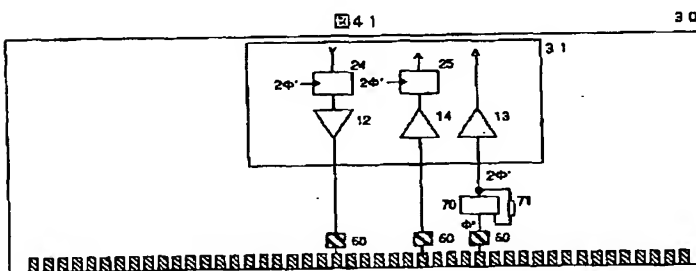
【図 37】



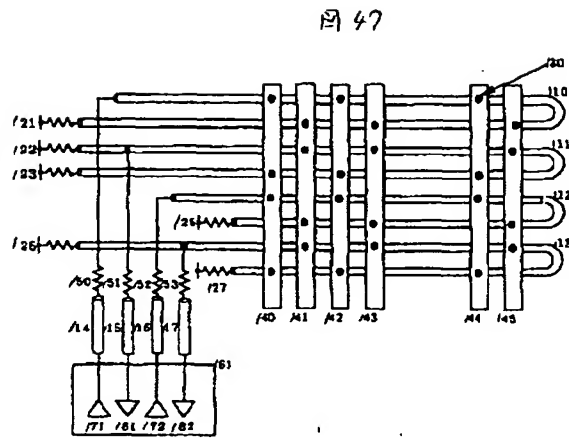
【図 40】



【図 41】

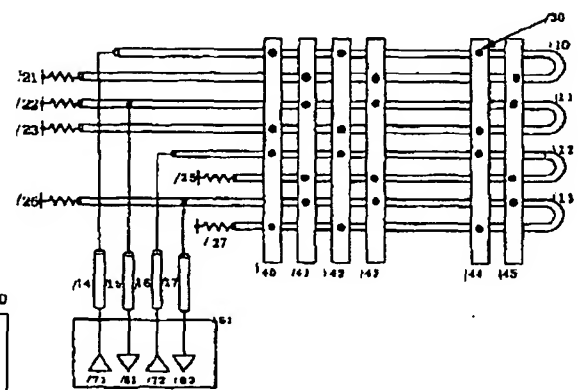


【図 47】



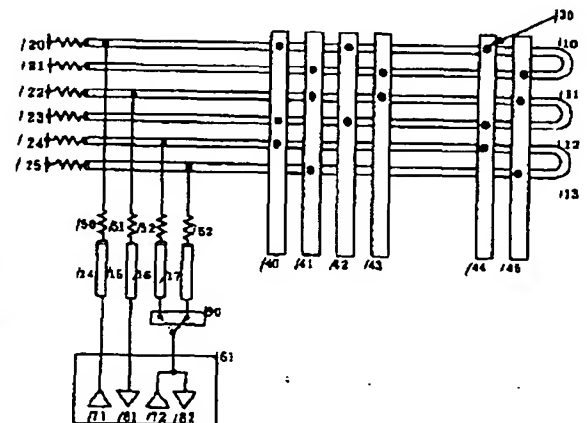
【図 48】

図 48



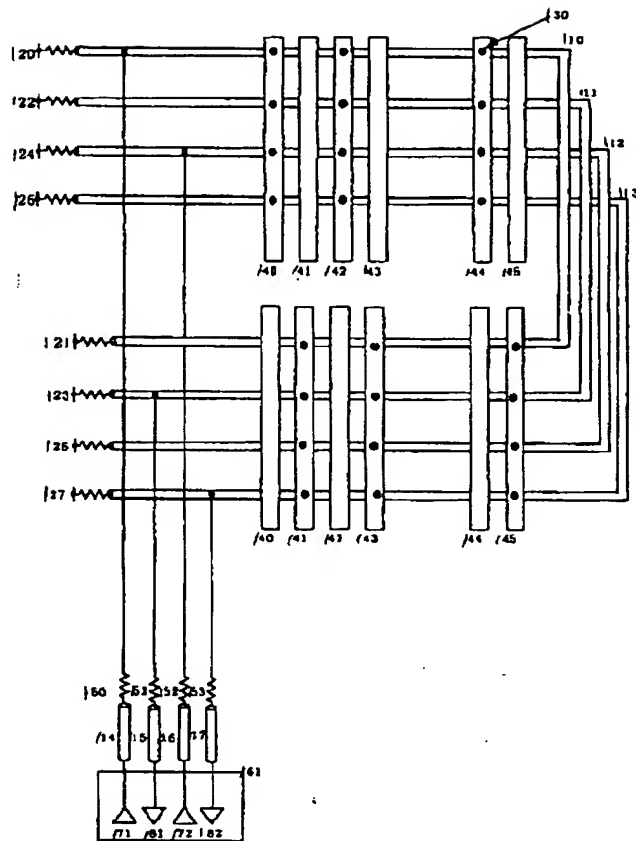
【図 49】

図 49



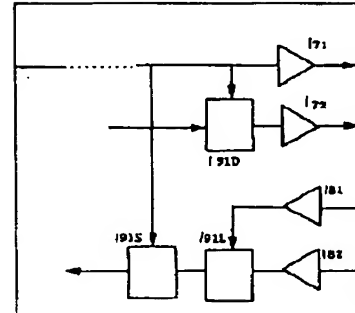
【図52】

図52



【図55】

図55



フロントページの続き

(51) Int. Cl.⁶

H04L 25/02

識別記号

FI

G11C 11/34

371K

(72) 発明者 栗原 良一

神奈川県海老名市下今泉810番地 株式会
社日立製作所オフィスシステム事業部内